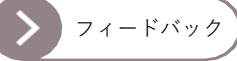


# パワーMOSFETを使った設計

よくある問題や故障モードの回避方法

著者: ピーター B. グリーン



このドキュメントについて

## 範囲と目的

パワーMOSFETは、他のパワー半導体デバイスと同様に、技術的な長所、短所、微妙な違いがあるため、信頼性の問題を回避するには、設計者が適切に理解をする必要があります。このアプリケーションノートでは、パワーMOSFETを使用する際の最も一般的な注意点について説明します。その目的は、システム設計者がパワーMOSFETデバイスを正しく使用方法を理解し、よくある誤りを回避することで、設計時間を短縮することにあります。また、巻末には、より詳しく研究するのに有用な参考文献のリストを掲載しました。

## 対象読者

パワーMOSFETを用いた設計を行うパワーエンジニアや学生。MOSFETの基本的な知識はあるものの、MOSFETを用いた設計の経験が少ないエンジニアを対象としています。

## 目次

範囲と目的	1
対象読者	1
1 パワーMOSFETの紹介	2
2 パワーMOSFETの取り扱いとテスト	4
3 逆阻止特性	5
3.1 アバランシェ故障メカニズム	5
3.1.1 ラッチアップ	5
3.1.2 熱破損	6
3.2 アバランシェテスト	6
3.3 単一および反復的なアバランシェの状態	7
3.4 アバランシェの回避方法	8
4 MOSFETの電流定格とヒートシンク	9
5 ゲート-ソース間電圧過渡現象	11
6 安全な作業領域	12
6.1 $R_{DS(on)}$ 限界値 (青色)	13
6.2 最大動作電流制限値 (赤色)	13
6.3 パワーリミット (深緑色)	14
6.4 熱安定性限界値 (薄緑)	14
6.5 ブレークダウン電圧 (黄色)	15
7 誘導ターンオンとシュートスルー	16
7.1 誘導ターンオンを回避する方法	17
8 ボディダイオード	18
9 パッケージと基板レイアウトの考慮点	20
10 パワーMOSFETの並列化	22
11 結論	23
12 参考文献	24
13 改訂履歴	25

パワーMOSFETの紹介

# 1 パワーMOSFETの紹介

パワーMOSFETは1970年代に登場し、世界で最も広く使われるパワートランジスタになっています。パワーMOSFETは、バイポーラパワートランジスタのような古い技術に対して、リニアスイッチング両方のアプリケーションで多くの利点を備えています。スイッチング性能の大幅な向上、容易な並列化、二次降伏現象が起きない、安全動作領域(SOA)が広いなど、多くの利点があります。MOSFETは電圧駆動のトランスコンダクタンスデバイスです。

MOSFETのダイを構成するドーピングの異なるシリコン層は、[図1](#)に示すように、プレーナーとトレンチと呼ばれる2つの技術カテゴリーに大別されます。

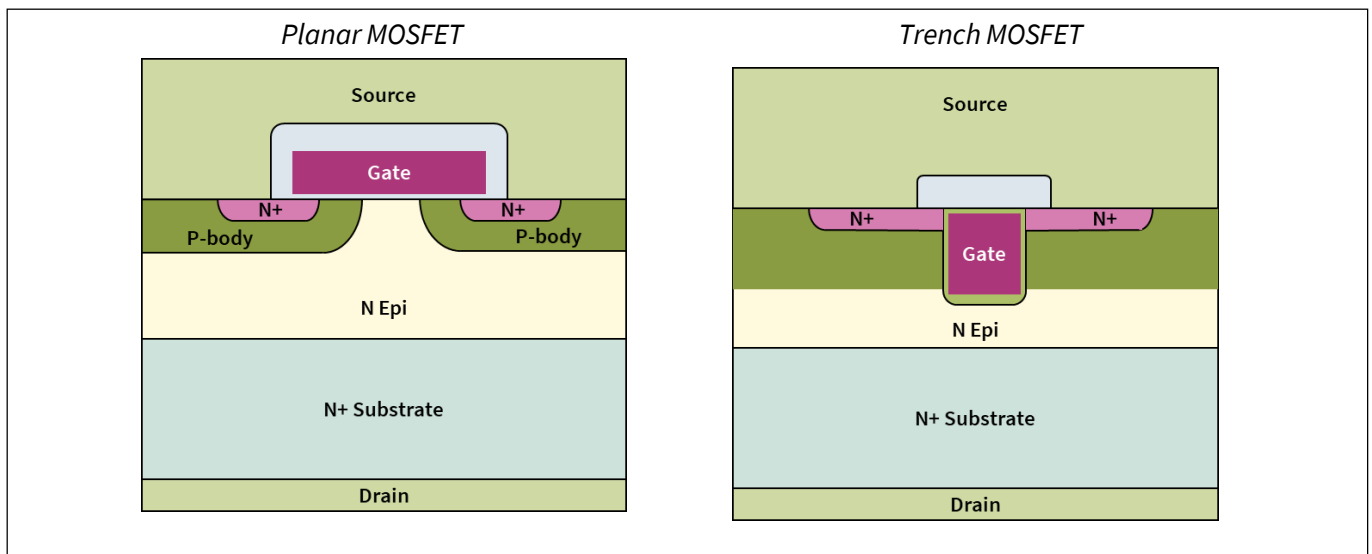


図1 MOSFETのプレーナー層とトレンチ層の比較

パワーMOSFETのダイは、多数の個々のセルまたは平面ストリップがメッシュ状のゲート接続で並列に接続されたものです。

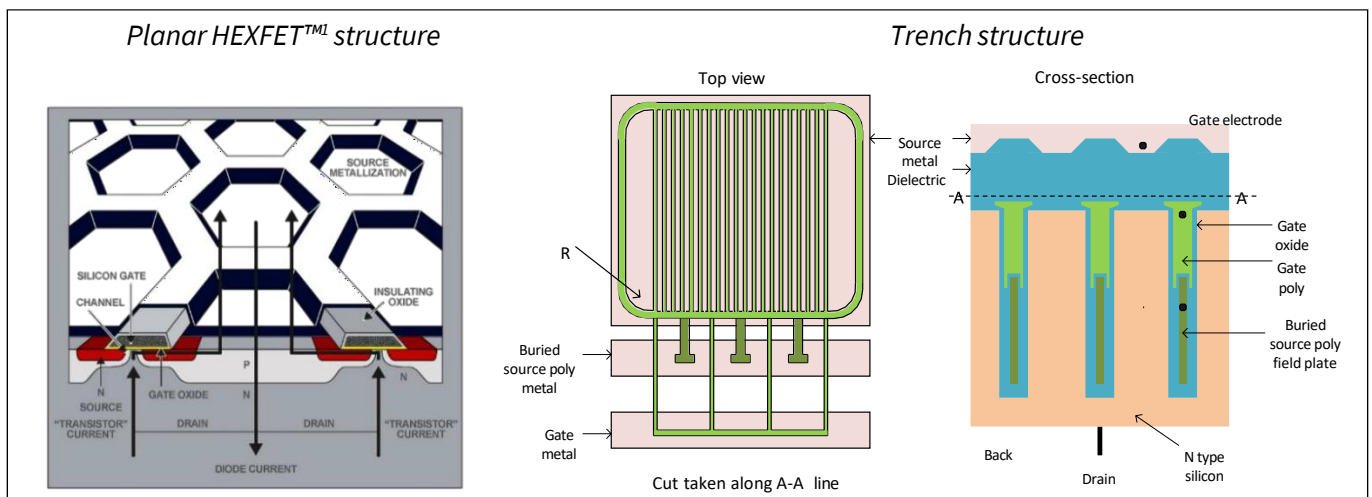


図2 MOSFETのデバイス構造

<sup>1</sup>1977年にスタンフォード大学でAlex LidowとTom Hermanが開発し、1978年にInternational Rectifier社が商品化した六角形のパワーMOSFETです。

## パワーMOSFETの紹介

インフィニオンのOptiMOS™デバイスにはトレンチ技術をベースにしており、CoolMOS™デバイスは、より低いオン抵抗を可能にするプレーナ技術の強化であり、旧来のHEXFET™デバイスに取って代わるスーパージャンクションをベースにしています。

このアプリケーションノートで説明する内容は、これらすべてのシリコンパワーMOSFET技術に適用可能ですが、IGBT、シリコンカーバイド(SiC) FET、窒化ガリウム (GaN) 高電子移動度トランジスタ (HEMT) など他のパワーデバイスや技術には適用できない場合があります。また、パワーMOSFETの大半を占めるNチャンネルエンハンスメントモードのデバイスに焦点を当てます。

パワーMOSFETは、一見すると単純な3端子電圧駆動のスイッチに見え、非常に誤解を招きやすいのです。そのため、設計に取りかかる前に、基本的な特性や動作をしっかりと理解しておかなければなりません。そうすることで、故障や回路の焼損を減らすことができます。パワーMOSFETやその他のパワー半導体デバイスを使用する場合、以下のセクションで説明する側面を理解するのに時間をかけても、最終的には時間の節約になります。

## パワーMOSFETの取り扱いとテスト

### 2 パワーMOSFETの取り扱いとテスト

MOSゲートトランジスタに初めて接するのは、机の上に届いた部品パッケージかもしれません。このときも、いくつかの初歩的な注意事項を知っておくことが大切です。パワーMOSFETはゲートインピーダンスが非常に高いMOSデバイスであるため、取り扱い時、試験時、回路への組み込み時に静電気で破損する可能性があります。MOSFETのESD損傷は、ゲート-ソース間電圧がゲート絶縁膜を横切ってアーク放電するほど高くなったときに発生するのが一般的です。このとき、ゲート酸化膜に微細な穴が開き、部品はすぐに、または動作中に故障してしまいます。

パワーMOSFETは入力容量が十分大きいので、過大な電圧の上昇を伴わずに静電気を吸収することができます。しかし、発生する可能性のある問題を避けるために、可能な限り以下の手順に従ってください。

- MOSゲートトランジスタは、試験や回路への接続が必要になるまで、静電気防止用の輸送袋や導電性フォーム、または金属容器や導電性ビンに入れたままにしてください。デバイスを扱う人は、理想的には適切なリストストラップで接地する必要がありますが、実際にはこのような予防措置が不可欠になることはあまりありません。
- デバイスはリード線ではなく、パッケージで取り扱う必要があります。MOSゲートトランジスタの電気的特性をカーブトレーサーやテスト回路で確認する場合は、以下の点に注意してください。
  1. テストステーションは導電性の床を使用し、テストベンチには接地された静電気防止マットを使用してください。
  2. カーブトレーサーや試験回路に挿入する場合は、すべての端子が回路にしっかりと接続されるまで、電圧を印加しないでください。
  3. カーブトレーサーを使用する場合、トレース上に発生するスプリアス振動を抑えるために、ゲートと直列に抵抗を接続する必要があります。抵抗の適切な値は100Ωです。
- 次に、実際の回路に接続します。その際、以下の簡単な注意事項を守ってください。
  1. ワークステーションには、電氣的に接地されたテーブルマットやフロアマットを使用すること。
  2. はんだごてはアースをとってください。

これでデバイスの回路への接続が完了し、電源投入の準備が整いました。ここからは、回路設計の整合性が問題となり、意図しない定格の乱用を防ぐために必要な回路設計上の注意が払われているかどうかで、デバイスの適用が成功するかどうかが決まります。

以下のセクションでは、信頼性の高い、故障のない設計につながる、相互に関連したデバイスと回路の考察について説明します。

## 逆阻止特性

### 3 逆阻止特性

すべてのパワーMOSFETデバイスは最大逆電圧 $V_{(BR)DSS}$ に対して定格されています。ドレイン-ソース間電圧がこの閾値を超えると、逆バイアスのかかったp-n接合に高電界が発生します。この高電界は衝撃電離により電子-正孔対を生成し、無秩序に増殖してキャリア濃度をさらに上昇させる。これはアバランシェ効果と呼ばれ、デバイスに流れる電流を増加させ、高い電力損失、急激な温度上昇、デバイスの破壊の可能性をもたらす。アバランシェは通常、MOSFETの耐圧を超えたときに発生し、通常はアンクランプ誘導スイッチング(UIS)により、部品がデータシートの仕様範囲外で使用されている場合に起こります。従って、設計者はMOSFETをアバランシェ動作させないよう、あらゆる合理的な試みを行う必要があります。実際には、大電流アプリケーションでは、MOSFETパッケージやPCBトレースの寄生インダクタンス、あるいはトランスからの漏れインダクタンス(フライバックコンバータなど)によって、高電圧のスイッチオフ過渡現象が発生する。アバランシェは、ドレイン電圧のクランプ効果によって観測されます。

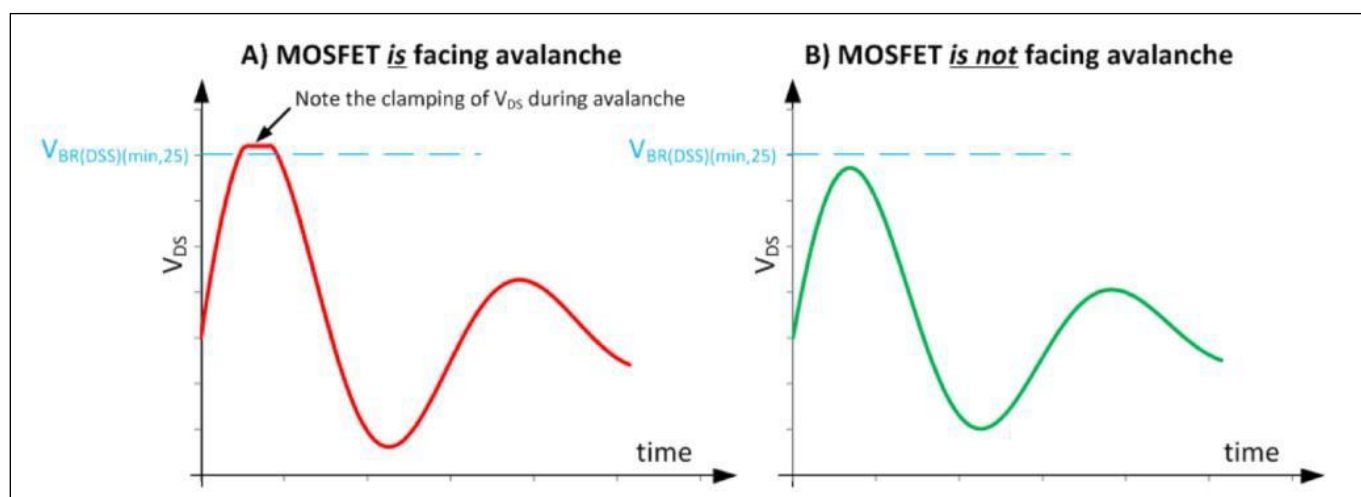


図3 UISによる $V_{DS}$ スイッチオフ過渡電圧

MOSFETのデータシート上の $V_{(BR)DSS}$ 定格はプロセス変動に対する最小値であり、デバイスによってはより高いレベルでクランプする場合がありますが、設計者はデータシートの示す最悪のケースを考慮する必要があります。これを意味します。 $V_{(BR)DSS}$ は温度によってわずかに上昇しますが、これはデータシートのグラフに示されています。

#### 3.1 アバランシェ故障メカニズム

##### 3.1.1 ラッチアップ

このとき、アバランシェ現象によってドレイン電流が発生しますが、その振幅は電界の強いところほど大きくなります。ラッチアップは、パワーMOSFETに寄生するNPNバイポーラ接合トランジスタ(BJT)に起因するものです。寄生BJTの近傍で電界が高くなるようにデバイスを構成すると、ベース抵抗に大きな電流が流れ、ベース-エミッター間に電圧が発生します。この電圧がある閾値に達するとバイポーラトランジスターがオンし、ほとんどのアバランシェ電流が流れ、それを制御する手段がないため、有害な影響を与える可能性があります。ラッチアップのメカニズムはよく理解されているため、インフィニオンはすべてのOptiMOS™技術の開発において、その影響を軽減するように努めてきました。そのため、こうした技術の多くではラッチアップは発生しません。しかし、すべてのMOSFET技術に当てはまるわけではないので、データシートを注意深く読み、特定のデバイスが利用している技術の種類と、その長所と短所を理解することが重要です。

逆阻止特性

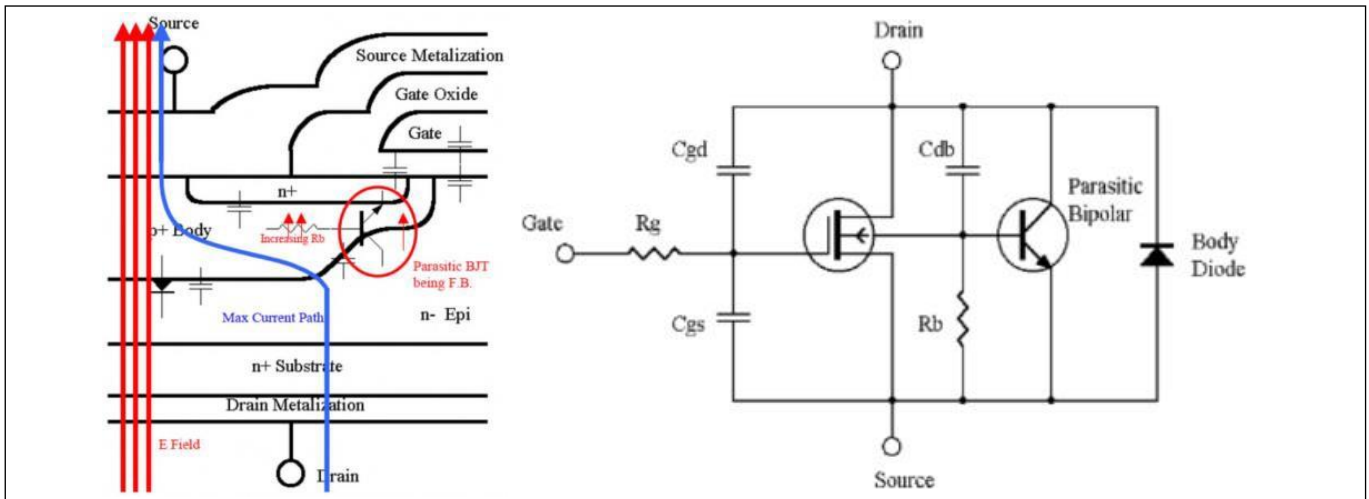


図4 寄生型BJTのシリコン構造と等価回路

### 3.1.2 熱破損

MOSFETの接合部温度が $T_{j,destr}$ に達すると熱破壊が発生します。 $T_{j,destr}$ はシリコンの固有温度、すなわち熱的に生成されたキャリアの密度がバックグラウンドのドーピングと等しくなる温度に近いです。したがって、この温度に達すると、MOSFETはもはや半導体デバイスのような振る舞いをしなくなります。 $T_{j,destr}$ はOptiMOS™ファミリー間で大きな違いはなく、通常400°C近い値となっています。インフィニオンのOptiMOS™ファミリーの技術開発においてラッチアップに対する予防措置が取られていることを考えると、アバランシェによる故障の大部分は熱破壊が原因であると言えます。ラッチアップしやすい技術であっても、熱破壊の方が発生しやすいのです。

残念ながら、熱破壊への対処は、高性能技術の主要なドライバー、特に $FOM R_{DS(on)} \times A$ に影響を与えるため、技術設計においていくつかのトレードオフを必要とします。実際、 $R_{DS(on)} \times A$ を低減する技術では、定義された $R_{DS(on)}$ 値に対してチップサイズを小さくできる一方で、高エネルギーなアバランシェ現象による温度上昇を緩和するには、より大きなダイ面積が必要になります。

### 3.2 アバランシェテスト

MOSFETのアバランシェ耐量は、以下のような単一パルス非クランプ誘導スイッチング (UIS) 試験回路で試験します。

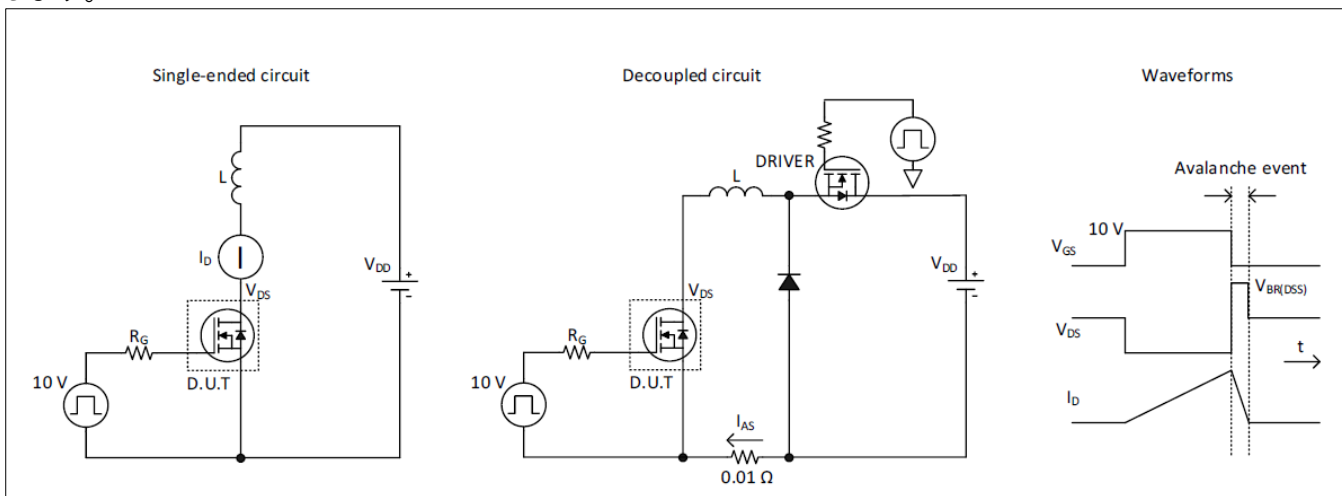


図5 アバランシェテスト回路

## 逆阻止特性

この回路では、MOSFETのゲートに一定時間のパルスを印加してデバイスをオンにし、直列インダクタによってドレイン電流がリニアに上昇するようにします。その後、MOSFETをオフにすると、大きな負の $di/dt$ が発生し、電圧過渡現象が発生します。デカップリング回路では、両方のMOSFETが同時にオン/オフされるため、インダクタの電圧はMOSFETのドレインソース間にかかる電圧と等しくなります。スイッチオフ過渡現象は $V_{(BR)DSS}$ 以上に上昇し、アバランシェ状態においてインダクタに蓄積されたエネルギー(パルス長とインダクタンスで定義)がMOSFETに伝達されるようになります。インフィニオンは、EAS定格への適合を保証し、耐久性を検証し、欠陥部品を選別するために、アバランシェ負荷テストを実施します。

### 3.3 単一および反復的なアバランシェの状態

MOSFETには1パルスで耐えられるアバランシェの最大エネルギー量が定義されており、ある一定の試験条件下でMOSFETのデータシートにEASとして規定されています。その名の通り、1パルスアバランシェ現象は、特にデータシートに記載された限界値に近い条件であれば、1回だけの発生が望ましいです。これは、これらの制限値がMOSFETの $T_{j,max}$ を超える接合部温度に対応するため、こうした現象を繰り返すとMOSFETの動作寿命が損なわれるからです。アバランシェは推奨動作条件ではありません。

連続アバランシェの場合、イベントは高速の繰り返し率で連続的に発生し、通常、スイッチング電力変換器などの応用回路のスイッチング周波数( $f_{sw}$ )と同じです。このため、1回のアバランシェで許容される安全なエネルギー量は、単一パルスアバランシェの場合よりもはるかに少なくなります。

アバランシェを繰り返す場合、1回のアバランシェのエネルギーが比較的小さいため、シリコン温度の上昇は、最悪の1パルスアバランシェ状態と比べて無視できる程度です。また、高エネルギーの単一パルスアバランシェ試験で記録された $1.2\sim 1.3 \times V_{(BR)DSS,(min,25)}$ の振幅とは対照的に、観測された $V_{DS}$ スパイクはMOSFETの $V_{(BR)DSS,(min,25)}$ 定格をわずかに超えるだけです。単一アバランシェ定格と連続アバランシェ定格の違いは、このような事象によって引き起こされる許容 $T_{j,max}$ に関連しています。実際、単一パルスアバランシェでは接合部温度が $T_{j,max}$ を超えることが許容されますが、連続アバランシェではその限りではありません。

連続アバランシェにより $T_{j,max}$ を超えると、累積的にデバイスの信頼性を低下させ、早期故障につながる危険性があります。QFN 5x6 (SuperSO8) またはS308パッケージの部品では、 $T_{j,max}$ は $150^{\circ}C$ と低くなる場合があります。これはシリコンそのものではなく、パッケージの制限であり、シリコンは通常 $175^{\circ}C$ に耐えることができます。そのため、同じダイのMOSFETでも、異なるパッケージ(TO-220やD2PAKなど)に収容されている場合は $175^{\circ}C$ の定格となる場合があります。

単一パルスアバランシェと連続アバランシェは、通常のMOSFETの動作に与える影響が大きく異なるため、区別することが非常に重要です。単一パルスアバランシェの故障モードは、大電流によるもの(ラッチアップ)と高エネルギーによるもの(熱破損)の2つです。これらの故障モードは壊滅的ですが、連続アバランシェの場合、劣化はゆるやかで、微小な損傷を繰り返しながら非常にゆっくりとデバイスに影響を及ぼしていきます。低エネルギーのアバランシェ現象であっても、パワーMOSFETのトレンチ酸化膜に沿って注入される電荷であるホットキャリアが発生します。こうしたアバランシェ現象が繰り返されると、電荷が蓄積され、徐々に信頼性が損なわれていきます。その結果、時間が経つとフィールド不良が発生することがあります。連続アバランシェが技術パラメーターに与える影響を大幅に軽減するために、インフィニオンが大多数のアプリケーションで支配的な他の特性値を大幅に妥協する必要があることについては、言及しておくべきです。設計者が避けるべきMOSFETの通常の使用法に該当しない事象に支払う代償としては高すぎます。したがって、インフィニオンはOptiMOS™の産業用およびスタンダードグレードのデータシートに連続アバランシェ定格を記載していません。

逆阻止特性

### 3.4 アバランシェの回避方法

まず第一に、アプリケーションに適した $V_{(BR)DSS}$ 定格のデバイスを選択することが必要です。これは、最悪の動作条件下でのデバイスのドレインとソースにかかる最大定常電圧を、少なくとも20%の安全マージンで検討する必要があることを意味します。大きなスイッチオフ過渡現象が発生する場合に、信頼性の高い動作を実現するには、より高い安全マージンが必要となります。たとえば、モータードライブ反転では、 $V_{(BR)DSS}$ 定格がDCバス電圧の2倍あるMOSFETを選択することは珍しくありません。しかし、必要以上に高い定格の部品を選択することは間違いであり、その場合 $R_{DS(on)}$ が高くなり、おそらくさらにコストがかかるからです。

スイッチオフ過渡現象を低減する方法として、ゲートドライブネットワークを調整してMOSFETのスイッチオフを遅くする方法や、ドレインソース間にRCスナバを追加する方法などがあります。当然ながら、これらはいずれもスイッチング損失を増加させ、システム効率を低下させます。

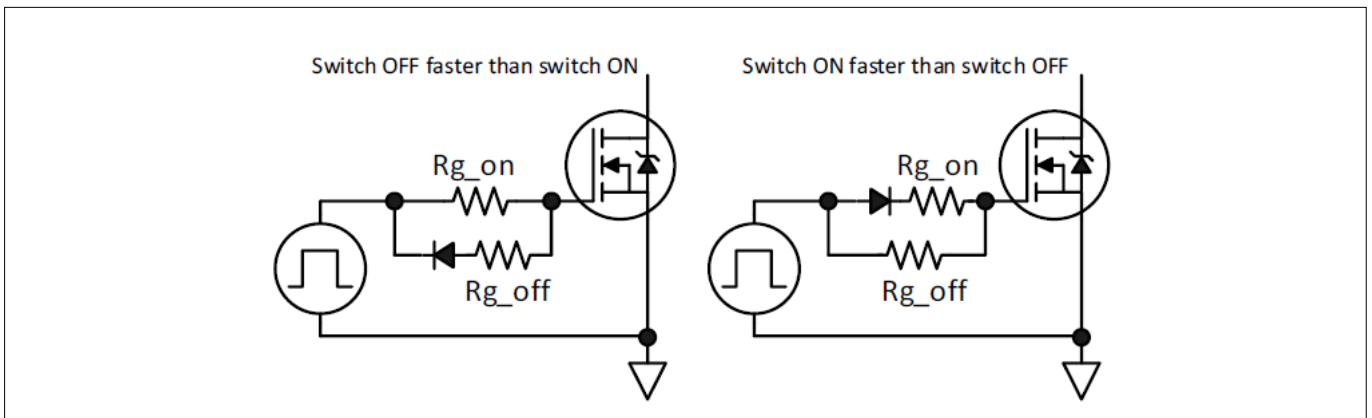


図6 ゲート駆動回路

設計の仕様に応じて、上記のゲート駆動回路のいずれかを使用して、スイッチオンとスイッチオフの速度を制御することができます。 $R_{g\_off}$ を調整することで、スイッチオンスピードに影響を与えることなく、スイッチオフ過渡電圧を低減させることができます。しかし、ハードスイッチング方式のハーフブリッジ回路では、 $R_{g\_off}$ の値を高くしすぎると、CGD.di/dt効果によってローサイドゲートにターンオンスパイクが誘導される可能性があるため、高くすることはできません。このスパイクが十分に大きい場合、MOSFETの $V_{GS(th)}$ を超え、危険なシュートスルー電流が発生します(これについては7章で詳しく説明します)。ゲート駆動抵抗の値を慎重に検討することは、スイッチオフ過渡振幅の最小化、誘導ターンオンの回避(該当する場合)、およびEMIエミッションの抑制の間の最良のトレードオフを達成するために不可欠です。

前述したように、ドレインとソースの間に直列RCスナバを追加してスイッチオフ過渡現象の一部を吸収し、ピーク電圧を下げることはできますが、これによってスイッチオン損失がさらに発生します。

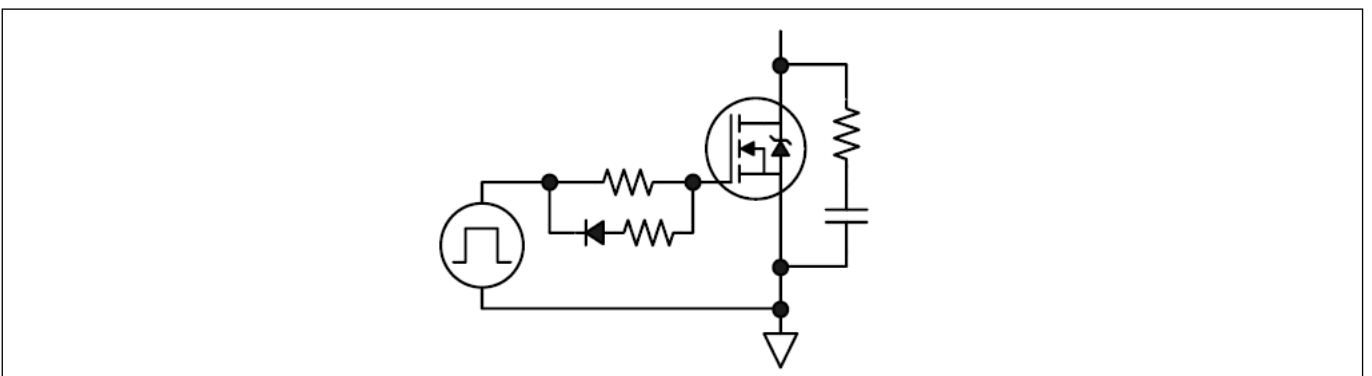


図7 MOSFETのドレインソース間に接続されたRCスナバ



MOSFETの電流定格とヒートシンク

## 4 MOSFETの電流定格とヒートシンク

MOSFETのデータシートに記載されている連続ドレイン電流定格 $I_{D(MAX)}$ が、実用システムでデバイスが動作可能な電流であると、経験の浅いユーザは思い込んでしまうかもしれません。しかし、そうではないことを認識することが重要です。

このような $I_{D(MAX)}$ の評価は、実際の設計では達成できない理想的な試験条件に基づいています。テスト条件には、非常に大きなヒートシンクが必要であったり、人工冷却によってダイの温度を低く維持する必要がある場合が多い。

ただし、MOSFETの $I_{D(MAX)}$ はメーカーにより異なる基準(より保守的な基準もあります)で決定されており、その方法も時代とともに変化していることに留意してください。したがって、異なるデバイスの能力を比較するためにこれらの定格に依存するのは間違いです。現在インフィニオンが採用している方法は、[5]に記載されています。

より現実的な方法としては、電力損失と、その損失が所定の条件下でダイやパッケージの温度をどのように上昇させるかを基準に、異なるデバイスを比較することです。

最初に着目すべき基準として、 $25^{\circ}\text{C}$ での $R_{DS(on)}$ を比較することが有効です。これは、共通の比較基準となるからです。 $R_{DS(on)}$ は、ダイとパッケージの直列抵抗<sup>1</sup>で構成され、それはゲート-ソース間電圧 $V_{GS}$ に依存します。 $R_{DS(on)}$ は、ジャンクションケース熱抵抗 $R_{TH(JC)}$ <sup>2</sup>と組み合わせて、パワーMOSFETの真の電流処理能力をよりよく示すことができます。次の図は、PCBにはんだ付けされた典型的なSMDパワーMOSFETの断面図です。ダイの底面が金属タブに接続されており、これが基板へのドレイン接続となる。ソースとゲートの接続は、外部リード線を形成するリードフレームにボンドワイヤを介して行われます。ドレイン電流はソースを通過するため、複数のボンド線、場合によっては複数のソースリード線を使用します。大電流デバイスでは、低抵抗化のため、ソースボンドワイヤの代わりに銅クリップを使用するものもあります。

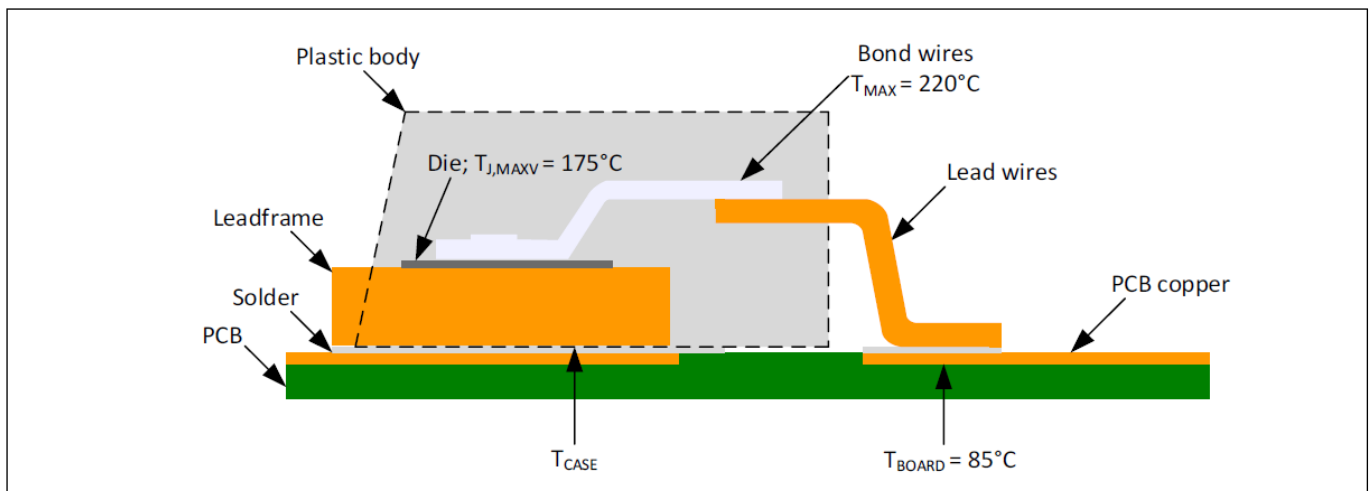


図8 PCB実装D<sup>2</sup>PAK SMD MOSFETパッケージ断面図

ドレイン-ソース間を電流が通過すると、明らかに伝導損失が発生し、熱が発生します。また、スイッチング電源ではスイッチング損失が発生し、スイッチングサイクルごとにエネルギー量が散逸するため、スイッチング損失は周波数に依存します。伝導損失とスイッチング損失の合計が、トップパッケージやボトムパッケージを通して伝わり、総損失となります。冷却方式はパッケージによって異なります。ほとんどのパッケージは、上記の例のように底面または裏面冷却型であり、熱のほとんどはドレインタブを通過してプリント基

<sup>1</sup> パワーパッケージのパッケージ抵抗の影響は、オン抵抗が $10\text{m}\Omega$ 程度以下のMOSFETにのみ著しく現れます。

<sup>2</sup> パッケージの上面と下面で、接合部間の熱抵抗値を分けて表記する場合があります。

## パワーMOSFETを使った設計 よくある問題や故障モードの回避方法

### MOSFETの電流定格とヒートシンク

板に伝わり、プリント基板の底面に熱を伝えるためにドレインパッドの下に多数のサーマルビアを備える必要があります。その場合、基板の下にヒートシンクが取り付けられます。また、TOLTパッケージのように、パッケージ内のダイとリードフレームの配置が異なる上面冷却型パッケージもあり、パッケージの上部に金属製のパッドが露出しており、ここにヒートシンクを取り付けることができます。

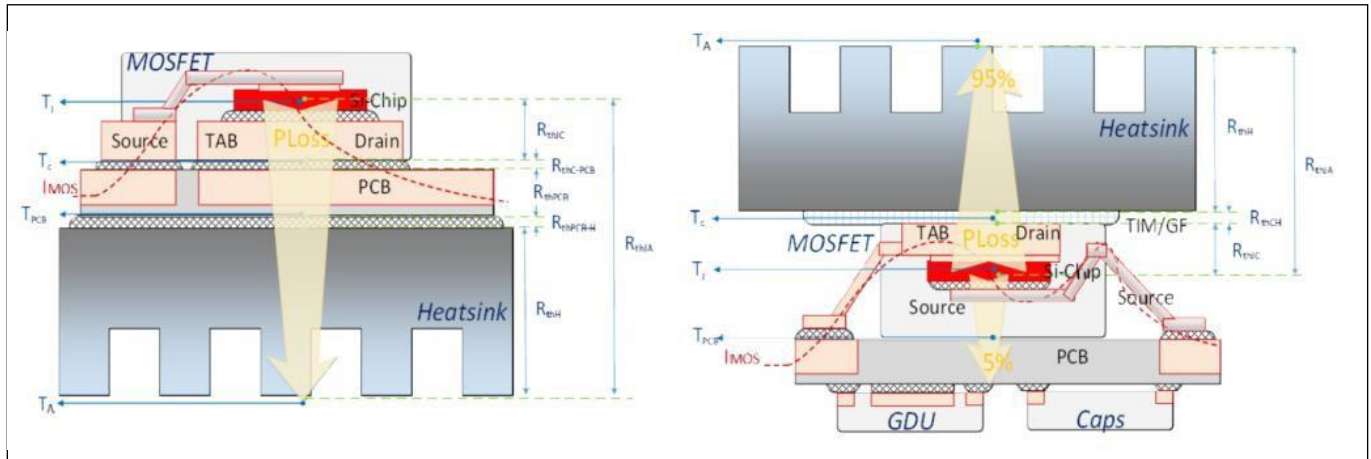


図9 下面冷却と上面冷却

ヒートシンクは、MOSFETの接合部温度を最大定格以下に保つために、MOSFETのダイから十分な熱を伝えられる大きさでなければなりません。設計者はまず、電力損失を抑えるために適切なMOSFETのダイサイズとパッケージオプションを選択し、次に安全な接合部温度を維持するために適切なヒートシンクを選択しなければなりません。

ヒートシンクのサイズと表面積(フィンの形状と数で決まります)とは別に、接合部から周囲への熱抵抗も考慮する必要があります。使用するヒートシンクの配置に依存し、ジャンクションとヒートシンク間の直列熱抵抗(PCB、熱絶縁材/TIMなど)とヒートシンク自体の熱抵抗をすべて加えることで計算できます(図9を参照)。MOSFETのダイから効果的に熱を伝達し、可能な限り大きな電流を安全に流すためには、明らかに低い接合部-周囲熱抵抗が必要です。

結論として、データシートのID(MAX) 定格を気にしすぎるよりも、電流処理の観点から全体を見る方が理にかなっています。

## 5 ゲート-ソース間電圧過渡現象

過大な電圧過渡は、薄いゲートソース酸化膜を通過し、永久的な損傷につながる可能性があります。残念ながら、このような過渡現象は電力スイッチング回路で発生し、感度の高いMOSFETのゲート入力に結合されることがあります。設計者は、ゲート駆動波形をよく見て、デバイスの限界値(パワーMOSFETでは通常 $\pm 20\text{V}$ )を超える正負の過渡電圧が存在しないことを確認するよう強くお勧めします。

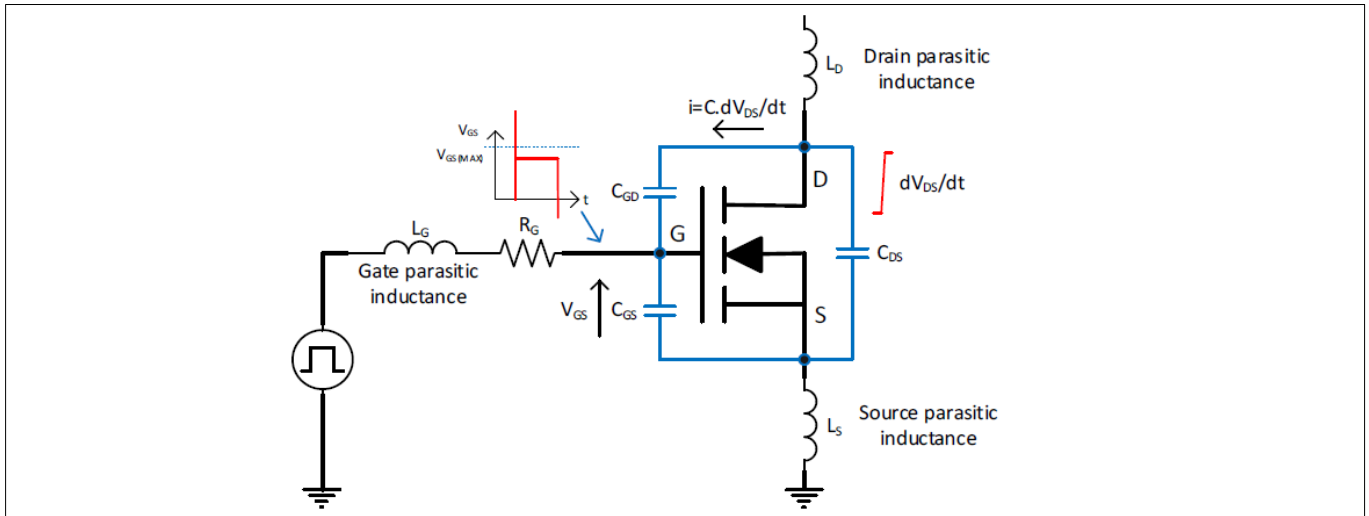


図10 ドレイン-ソース間電圧の急峻な変化によるゲート-ソース間過渡現象

ゲート駆動のスイッチオン、スイッチオフ動作では、デバイスがオン状態からオフ状態に遷移するとき、またその逆のとき、高い $dV_{DS}/dt$ が生成されます。ゲート、ソース、ドレインの各リード線に寄生インダクタンスが存在し、さらにMOSFETの $C_{GD}$ (ミラー容量)も考慮すると、これらの寄生要素の組み合わせにより、ゲートとソース間に過渡電圧が発生することが理解できる。幸いなことに、ゲート容量 $C_{GS}$ はこの影響を低減するように作用します。

ドレイン-ソース間電圧カップリングを最小にするために、 $C_{GS}/C_{GD}$ の比率はできるだけ高くする必要があります。また、寄生インダクタンスをできるだけ小さくするために、PCBレイアウトを最適化することが不可欠です。場合によっては、小さなゲート-ソース間コンデンサーを追加してスパイクを低減できますが、MOSFETのスイッチング速度を遅くすることにもなります。

$C_{GS}$ と $C_{GD}$ の値は電圧に依存するため、通常、MOSFETのデータシートでは直接引用されていません。したがって、関連する電荷量 $Q_{GD}$ と $Q_{GS}$ を見るのがより便利です。電荷比はしばしば次のように表現されます。 $Q_{GD}/Q_{GS}$ または $Q_{GD}/Q_{GS(TH)}$ で表され、値が低いほど、デバイスは $C_{GD}$ を介して結合された誘導ターンオンに対して影響を受けにくいことを意味します。

## 6 安全な作業領域

最近のパワーMOSFETの開発は、超低 $R_{DS(on)}$ の高速スイッチングに重点が置かれており、そのためにダイ面積の縮小がトレンドとなっています。そのため、一般的に特定の $R_{DS(on)}$ に対応するデバイスの電力処理能力は、特に線形動作モード(飽和領域)において低下しています。パワーMOSFET(あるいはその他のパワートランジスタ)を設計する際には、SOAダイアグラムに細心の注意を払い、デバイスが定義された限界線から外れて動作することがないようにすることが必要不可欠です。これらの制限に違反した場合、信頼性の高い設計は不可能です。

こうした制限を正確に設定するために、インフィニオンは多くのサンプルに対して、部品の破損を伴う大規模なテストを実施しています。突入電流制限やホットスワップなど、長時間にわたって飽和領域で動作するアプリケーションもあります。このような場合、必要なパルス持続時間のSOA限界を決して超えないように特に注意する必要があります。

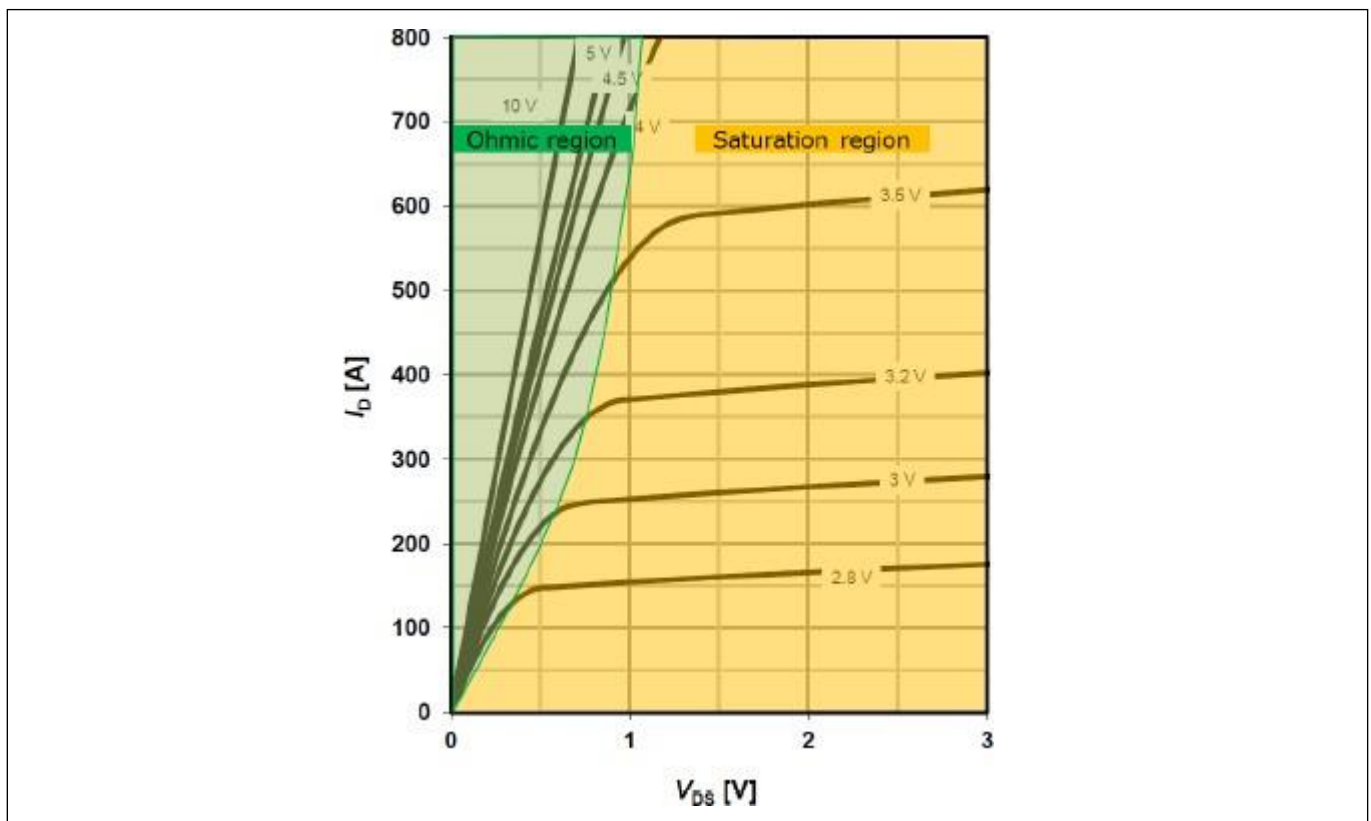


図 11 パワーMOSFETのオーミック(トライオードまたはリニア)<sup>3</sup>領域と飽和領域

一般的なスイッチングアプリケーションでは、ゼロ電圧または電流スイッチング遷移でない限り、スイッチングサイクルごとにデバイスも飽和領域を通過するため、SOAを見過ごすことはできません。こうした遷移は高速に起こるため、MOSFETは定義された条件下でより高い電流パルスに耐えることができます。ただし、SOA制限内で動作していることを確認することをお勧めします。EMIやスイッチオフトランジェントを低減するためにMOSFETのスイッチオンまたはスイッチオフを遅くする場合(3.4章で説明します)、飽和領域での動作時間が長くなることを念頭に置くことが重要です。

<sup>3</sup> リニア領域は、リニアモードとは異なります。リニアモードでの動作は飽和領域での動作を意味し、オーミック領域ではありません。

安全な作業領域

インフィニオンのパワーMOSFET (この例ではBSC010NE2LS) のSOA図を以下に示します。他のMOSFETのSOA曲線には、通常少なくとも同じ限界線が含まれますが、多少異なって見えるかもしれません。SOA図を定義する5つの限界線は、 $R_{DS(on)}$  限界線 (青線)、電流限界線 (赤線)、最大電力限界線 (深緑線)、熱不安定性限界線 (薄緑線)、降伏電圧限界線 (黄線) です。こうした限界線中、緑色の斜線部分がMOSFETを安全に動作させることができる領域となります。この例では、ケース温度 $T_c=25^\circ\text{C}$ 一定、パルス時間 $100\mu\text{s}$ の場合の限界線を示しています。デバイスのデータシートにある完全なSOAグラフでは、さまざまなパルス長および連続 (DC) 動作に対する制限線がさらに示されています。



図 12 パワーMOSFETのSOA限界値

### 6.1 $R_{DS(on)}$ 限界値 (青色)

$R_{DS(on)}$ の限界線は、 $V_{GS}=10\text{V}$ 、 $T_j=150^\circ\text{C}$ でドレイン-ソース間電圧が一定である場合のオームの法則によって決定されます。 $R_{DS(on)}$ 値は正の温度係数を持ち、低温ではより大きなドレイン電流を流すことが可能です。

### 6.2 最大動作電流制限値 (赤色)

最大動作電流制限値は、パッケージ内のMOSFETのダイは損傷しないものの、パッケージが故障する最大電流処理能力を定義するものです。ボンドワイヤーを使用したパッケージ (DPAKなど) とクリップボンディング技術を使用したパッケージ (SuperSO8など) では、最大電流処理能力が異なります。ダイ アクティブ領域は、ボンディング方式 (ボンドワイヤーの本数、ボンドワイヤーの直径、クリップの寸法) を決定するため、パッケージの電流処理能力にも影響を及ぼします。パッケージの限界線は、温度などの条件によって変化することはありません。

### 6.3 パワーリミット (深緑色)

これは、熱平衡状態において150°Cの安定した接合部温度 $T_j$ を発生させるためにデバイスが許容する最大消費電力から計算されます ( $T_c=25^\circ\text{C}$ )。パッケージの接合部-ケース間熱インピーダンス $Z_{thJC}$ を考慮し、1Wあたりの温度で定義すると、ある電力消費によって125°Cの $\Delta T$ が発生します。これにより、電力限界線が得られ、 $V_{DS}$ と $I_D$ の積が一定に保たれ、傾きが決定されます。

短パルスの場合、 $Z_{thJC}$ の値はパルス長およびそのデューティサイクルに依存します。 $Z_{thJC}$ の値はデータシートの対応する図から得ることができます。SOA図では、パルス幅が長くなると、熱インピーダンスが高くなるため、熱的限界線が下方にシフトすることが示されています。

実際のアプリケーションでは $T_j$ が25°Cにとどまることはなく、SOA内でデバイスを制限電力で動作させることは不可能です。パッケージやヒートシンク、強制空冷の有無にもよりますが、許容される最大消費電力は、定常状態の $T_j$ が150°Cとなるものです。デバイスをその限界で動作させないことが常に望ましいので、実際にはある程度の安全マージンを含める必要があります。

### 6.4 熱安定性限界値 (薄緑)

また、パワーMOSFETの信頼性の高い動作を実現するためには、熱安定性限界線が非常に重要です。特に古いデバイスの場合、熱安定性限界を持つにもかかわらず、データシートのSOAグラフにこの限界線が含まれていないことがあります。一般に、熱的不安定性とは、温度に対して電力消費が電力損失よりも急速に増加し、熱的平衡が得られない状態を指します。その代わりに、デバイスの高温のセルで電流が集中するため、熱暴走が発生します (1章参照)。これはスピリット効果<sup>4</sup>と呼ばれ、セルが高温になるとより多くの電流が流れ、温度がさらに上昇し、最終的に破壊されます。この状態では、各セルに均等に電流を流すことができません。熱的不安定性は次のように表すことができます。

$$\frac{\partial P_{generated}}{\partial T} > \frac{\partial P_{dissipated}}{\partial T} \quad [1]$$

このような状態では、最大電力制限線 (上図) の場合とは異なり、システムの温度は安定せず、熱平衡状態にはありません。

$$P_{generated} = I_{DS} \cdot I_D \quad [2]$$

および

$$P_{dissipated} = \frac{T_j - T_{ambient}}{Z_{thJC}} \quad [3]$$

$V_{DS}$ が温度に対して一定であると仮定すると、不等式は次のように並べ替えることができます。

$$V_{DS} \cdot \frac{\delta I_D}{\delta T} > \frac{1}{Z_{thJC}(t_{pulse})} \quad [4]$$

上記の式は、MOSFETが熱的に不安定になる可能性のある動作範囲を定義しています。

$\delta I_D / \delta T$ の項を温度係数と呼びます。 $V_{DS} > 0$ であるため、温度係数が正であれば熱的不安定性が発生します。

<sup>4</sup> 発見者であるパブロ スピリット教授にちなんで命名されました。

安全な作業領域

あるVGS値において、温度とともにドレイン電流が増加する場合、熱的不安定性が発生します。これは、VGS値がゼロ温度係数 (ZTC) ポイント以下であれば発生します。VGSが高い場合、ドレイン電流は温度とともに減少します。図 13 に示されています。

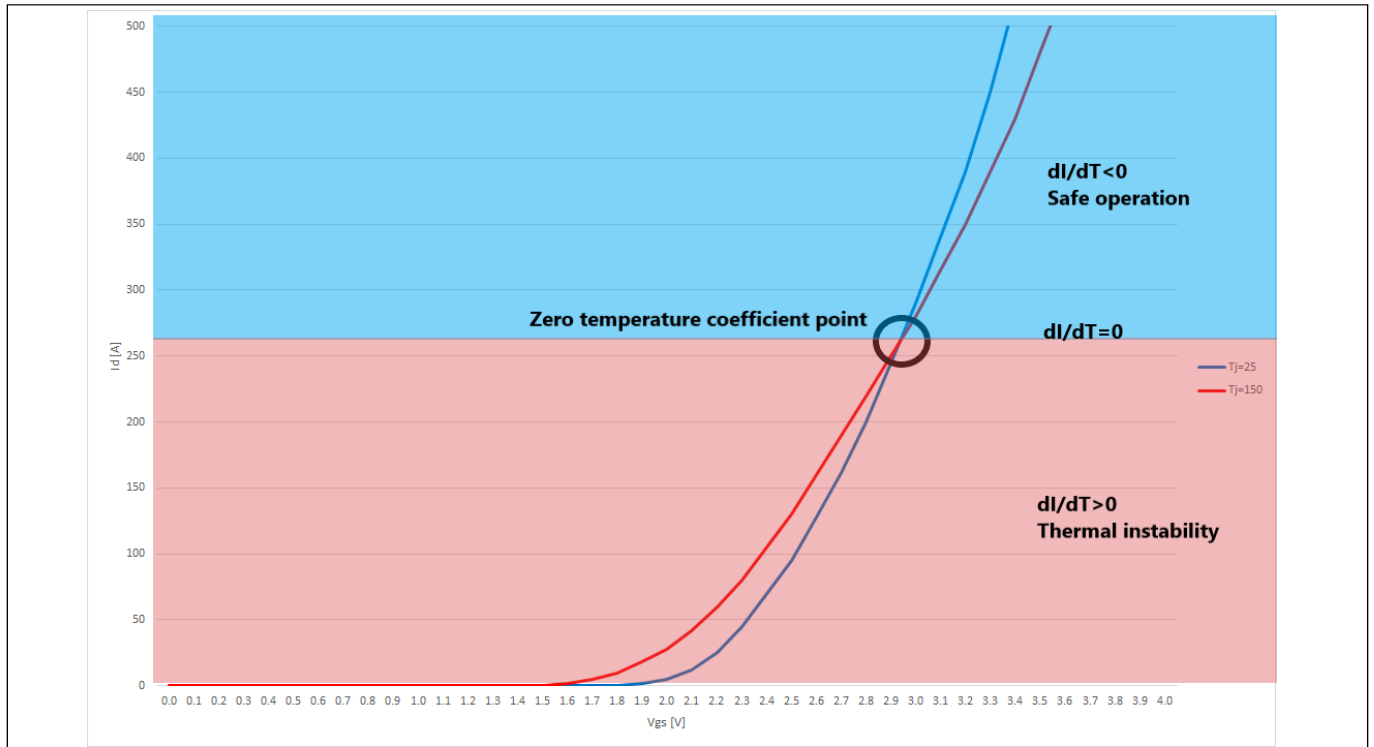


図 13 Id vs. VGSの熱的安定性

VGSを境に温度係数が正から負に変化するの、2つの相反する効果によるものです。MOSFETの抵抗は、電子移動度の低下により温度とともに増加しますが、しきい値電圧 (VTH) はより多くの電子が伝導帯に励起されたために温度とともに低下します。低温では温度上昇に伴うしきい値電圧の低下効果が支配的で、温度とともに電流が増加するが、高温ではRDS(on)の増加が支配的で、温度とともにIdが減少します。

このように、VGSがZTC点を下回ると熱的不安定性が発生します。そのため大電流、高VGS電圧でZTCを持つMOSFETは熱的に不安定になりやすくなります。ZTC点はMOSFETのトランスコンダクタンス (gmまたはgis) と直接的な関係があります。トランスコンダクタンスが高くなると、ZTC点はより高いVGSに向かって移動します。最近のパワーMOSFETでは、トランスコンダクタンスがますます増大しているため、ZTC点もVGSが高くなる。

熱的不安定性による故障を避けるために、設計者はSOAの熱安定性制限に違反しないようにする必要があります。

### 6.5 ブレークダウン電圧 (黄色)

これは、3章で説明したデバイスのV(BR)DSSレーティングを表しています。

## 7 誘導ターンオンとシュートスルー

導ターンオンとは、MOSFETを高速スイッチング用途で使用した場合、デバイスがオフ状態の時にドレインに高い $dV_{DS}/dt$ の遷移が現れる現象です。これは、スイッチング電源やモータ駆動用インバータなど、2つのMOSFETをハーフブリッジ構成で使用するハードスイッチング<sup>5</sup>アプリケーションで一般的に発生します。

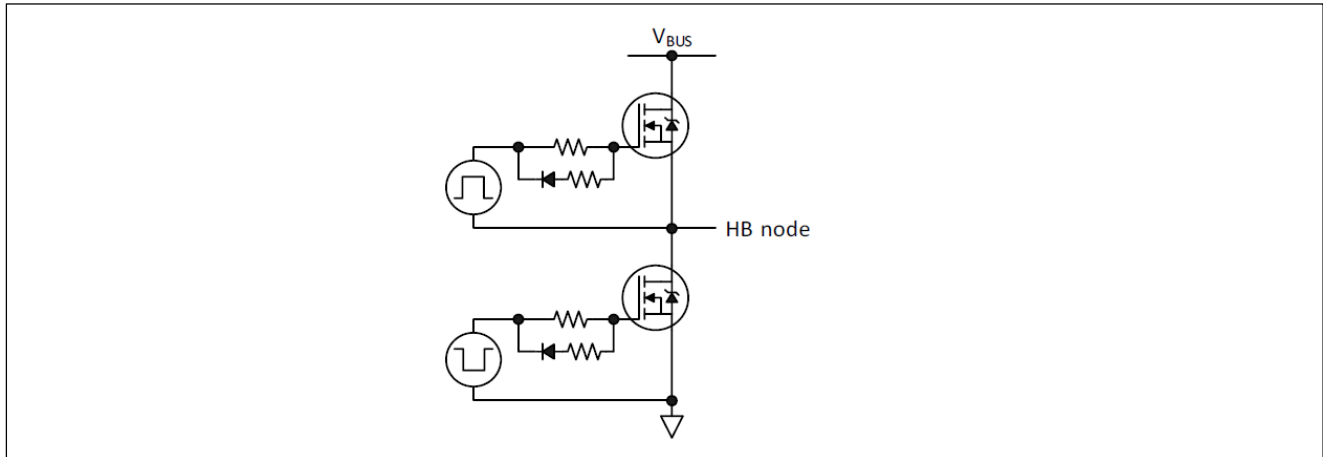


図14 MOSFETのハーフブリッジ

ハイサイドとローサイドのMOSFETは交互にオン/オフしますが、一方のデバイスのスイッチオフと他方のデバイスのスイッチオンの間に小さなデッドタイムがあり、非常に大きな電流パルスとなるオーバーラップを防止しています。ローサイドのMOSFETがスイッチオフすると、デッドタイムの経過後にハイサイドがスイッチオンする。この時、HBノードはゼロボルトから $V_{BUS}$ に急速に遷移します。

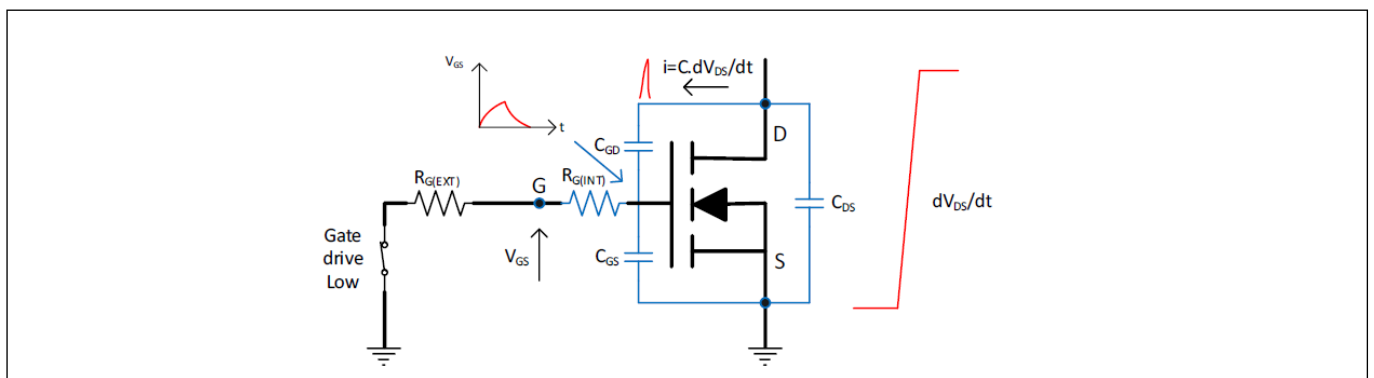


図15 誘導ターンオン機構

図15は、 $C_{GD} \cdot dV_{DS}/dt$ によって電流パルスが $C_{GD}$ からゲートに流れ、 $R_{G(EXT)}$ を通じてゼロボルトに引き下げられる様子を示しています。この電流パルスは、ゲートに電圧スパイクを誘発するのに十分です。MOSFETは内部ゲート抵抗 $R_{G(INT)}$ も大きいので、シリコンに現れる誘導ゲートスパイクはゲート端子で観測されるものより大きい可能性があることを覚えておくことが重要です。

もし、誘導されたターンオンスパイクがMOSFETの $V_{TH}$ を超えると、ハイサイドMOSFETが完全にオフする前に、デバイスが短時間部分的にオンすることになります。両方のデバイスが部分的にオンとなると、ハーフブリッジに大電流が流れ、SOA制限に違反して片方または両方のデバイスが破壊される可能性があります。

<sup>5</sup> ハードスイッチングは、 $V_{DS}$ が0でない状態でMOSFETがスイッチオンした場合に発生します。



## 7.1 誘導ターンオンを回避する方法

5章で述べたように、 $C_{GS}/C_{GD}$ が高い、つまり $Q_{GD}/Q_{GS}$ や $Q_{GD}/Q_{GS(TH)}$ が低いMOSFETは、ドレイン-ソース間電圧カップリングの影響を受けにくくなります。ハードスイッチング用途では、 $Q_{GD}/Q_{GS}$ が0.5~0.8、 $Q_{GD}/Q_{GS(TH)}$ が1.0以下が推奨されています。 $Q_{GD}/Q_{GS}$ が低いデバイスは、ゲート電圧波形に大きなリングングが発生することがありますが、これは $R_{G(INT)}$ の値と回路のループインダクタンスに依存することに注意してください。

誘導ターンオンは、スイッチング遷移を遅くして $dv/dt$ を低下させることで低減させることができます。これは、 $R_{g, on}$ を増加させてハイサイドデバイスのスイッチオンを遅くすることで可能です(図6参照)。回路のスイッチング動作に応じて、ハイサイドとローサイドのゲート駆動ネットワークは同じであっても、異なってもかまいません。ターンオンを遅くすると、放射EMIも減少しますが、同時にスイッチング損失も増加するため、トレードオフを慎重に検討する必要があります。

このゲートドライブネットワークは、ダイオードと抵抗でゲートを強くプルダウンする一方で、ターンオンを遅くすることができます。この方法はオフ状態の時には有効ですが、スイッチオフが速くなり、ドレイン過渡電圧が高くなる傾向があり、アバランシェの危険性があるため、設計時に考慮すべきもう一つのトレードオフとなります。現在、インフィニオンのスマートゲートドライバIC<sup>6</sup>には、動作のさまざまな段階でゲート電流を定義できるプログラマブルゲートドライブが搭載されているため、抵抗-ダイオードのゲートドライブネットワークを排除し、ゲート駆動を正確に調整することによってスイッチング時とオフ時の最適化を可能にします。

三つ目の方法は、ゲート-ソース間コンデンサーを外付けする方法です。これは、実効的な $C_{GS}/C_{GD}$ を増加させることにより、誘導されるゲート過渡現象の大きさを減少させることができますが、やはりスイッチング速度が遅くなるため、必要な場合にのみ適用し、最小限の値にとどめておくべきです。

<sup>6</sup> MOTIX™ 6EDL7141 モータ駆動用スマートゲートドライバIC

ボディダイオード

## 8 ボディダイオード

ボディダイオードはMOSFETの構造に内在するもので、**図4**に示すp-body層とn-epi層の間のp-n接合によって形成されている。パワーMOSFETは、ボディとソースが内部で接続された3端子デバイスです<sup>7</sup>。nチャンネル、Pチャンネルデバイスの回路記号を見れば、このことが理解できます。

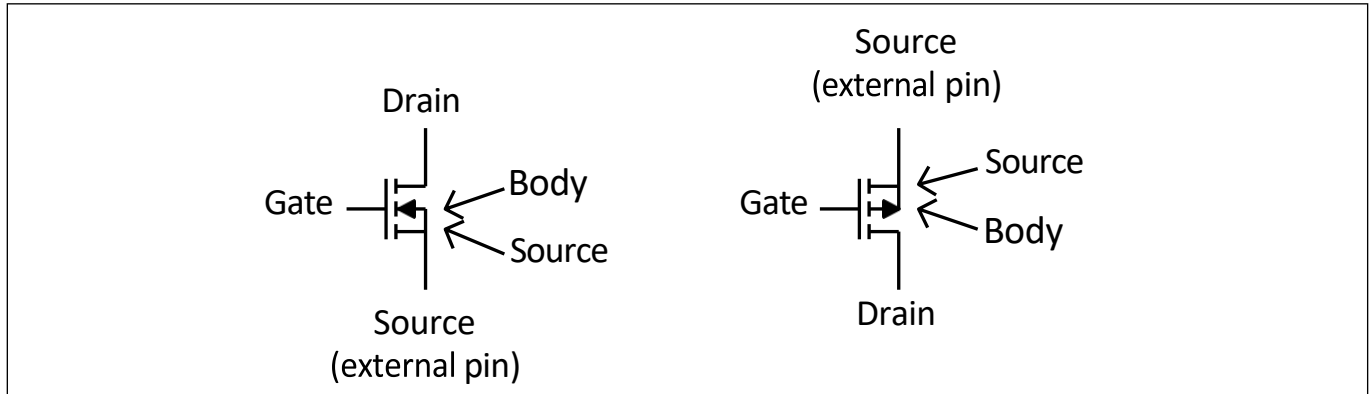


図16 Nチャンネル(左)とPチャンネル(右)のMOSFET回路記号(ボディダイオードを示します)

MOSFET本体ダイオードは、他のp-n接合ダイオードと同様に少数キャリア逆回復を示し、逆回復時間が有限です。逆回復は、順方向電流を流しながらダイオードを逆バイアスすると発生します。逆回復はデータシート上では時間 $t_{rr}$ と指定された条件下でテストされた逆回復電荷 $Q_{rr}$ によって特徴づけられています。

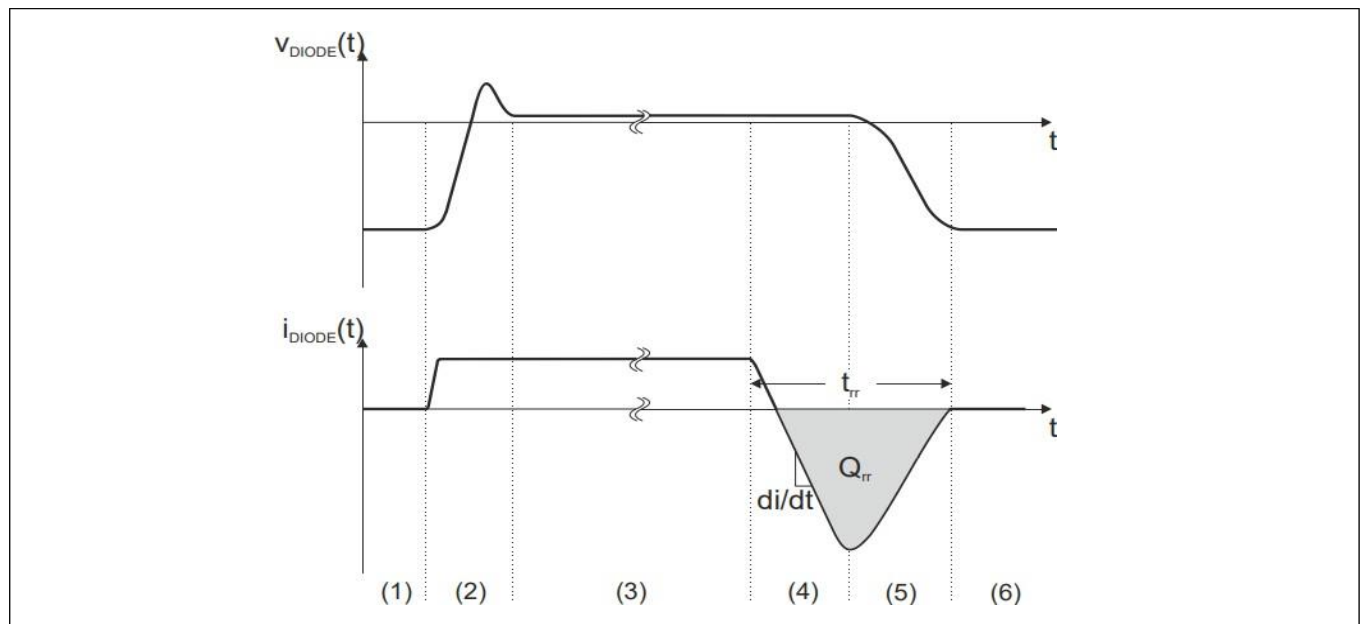


図17 ボディダイオードの順方向と逆方向のバイアス処理

区間(1)ではダイオードはオフ状態であり、区間(2)でオンし始めます。ターンオンプロセスの終わりには、ダイオードは順方向バイアスになります。逆回復電荷は蓄積され、順方向バイアスダイオードが区間(3)の間、正電流を流す間に蓄積される。ターンオフ期間(4)の開始時に、電流はゼロに減少し、その後逆方向に流れます。区間(5)の間に逆回復が完了し、ダイオードを遮断する区間(6)によりターンオフプロセスが完了します。図中の斜線部分は $Q_{rr}$ を示し、ハードスイッチング耐性に関する重要なデバイスパラメータです。

<sup>7</sup>  $V_{TH}$ の値に影響を与える「ボディ効果」を避けるために必要なことです。

## ボディダイオード

前項のハーフブリッジ電源スイッチング回路では、誘導性負荷に大電流をスイッチングする際にボディダイオードの逆回復が重要になります。Q1がオン、Q2がオフの連続導通モード (CCM) で動作する同期式降圧レギュレータで、ハーフブリッジのスイッチングノードから電流 $I_L$ が流れている場合を考えてみましょう。

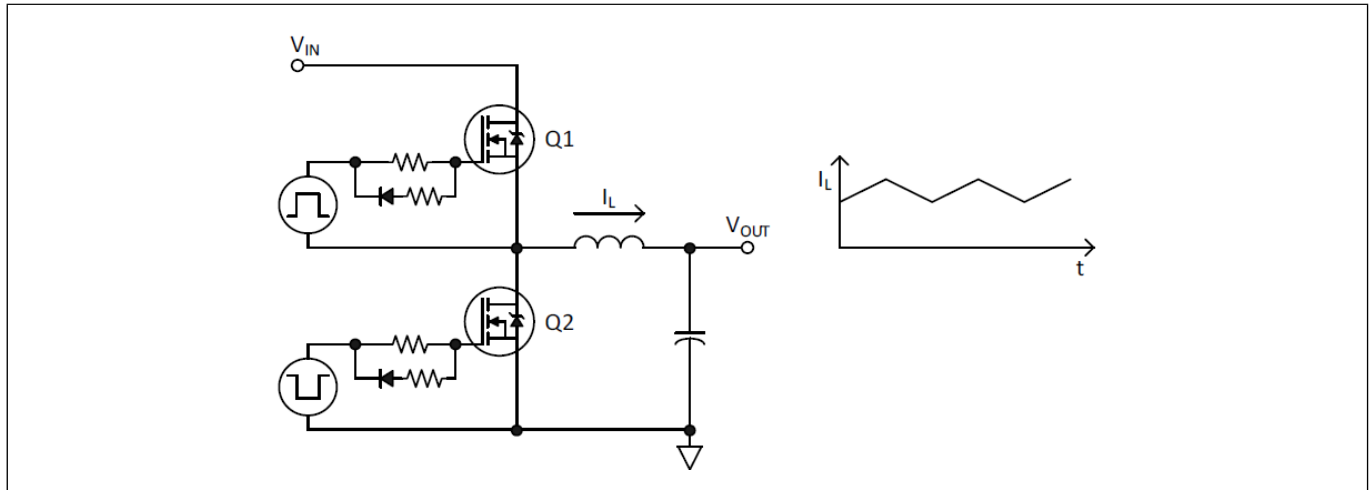


図 18 同期式降圧レギュレータ

Q1がオフになると、インダクタ電流はQ2のボディダイオードを介して整流され、Q2はデッドタイム終了後にオンになります。Q2の導通 (同期整流) 期間が終了すると、再びスイッチがオフになり、電流は再びQ2のボディダイオードを流れるようになります。デッドタイムの終わりにはQ1がオンになり、ここでQ2のボディダイオードの回復が重要になります。Q1が急激にオンになると、内蔵ボディダイオードQ2のピーク逆回復電流が急激に上昇し、ピーク逆回復電流の定格を超えてしまい、デバイスが破壊される可能性があります！

MOSFETの技術によって、ボディダイオードの耐久性が異なり、逆回復速度も異なります。たとえ一部の動作条件下であっても、ハードコミューテーションが発生するアプリケーションに適したデバイスを選択することが重要です。インフィニオンのスーパージャンクションMOSFETの高電圧CoolMOS™ファミリには、高速リカバリーボディダイオードを持つCFDファミリ部品が含まれます。さらに、低電圧および中電圧のOptiMOS™トレンチデバイスのいくつかのシリーズがあります。一般的なルールとして、スイッチングの種類に基づいて、特定の設計に適したパワーMOSFETの種類を選択することが重要です。

整流時の電流変化率を遅くすることで、ボディダイオードのピーク逆回復電流を低減することができます。電流の変化率は、図6に示すように、ゲート駆動パルスの立ち上がり速度を遅くすることで制御することができ、3.4章と7.1章で説明しました。この手法を用いると、ピーク逆回復電流を許容レベルまで低減することができますが、その代償として高消費率のスイッチング期間が長くなるため、常にトレードオフを考慮する必要があります。20kHz程度までの周波数で動作させる場合、印加するゲート駆動信号を遅くして、「反対側」のデバイスオーバダイオードのピーク逆回復電流を減少させることは、実用上良い解決策となります。それ以上の周波数では、設計者はMOSFETのスイッチングに必要な電圧と電流に特に注意を払い、適切なデバイスとゲート駆動方式を選択する必要があります。

## 9 パッケージと基板レイアウトの考慮点

パワーMOSFETはパッケージによって寄生インダクタンスが異なり、リード型パッケージはSMDパッケージよりもインダクタンスが大きく、SMDパッケージはドレインとソースの接続部の内部形状によってインダクタンスの大きさが異なります。したがって、どのタイプのパッケージが必要かは、熱特性だけでなく、データシートに明記されていないパッケージのインダクタンスも考慮して設計する必要があります。つまり、ハードコムミュレーションで大電流を流す場合、許容できる性能を達成し、信頼性と潜在的なEMIの問題を回避するには、できるだけインダクタンスの低いSMDパッケージと、うまくレイアウトされたPCBが必要となります。パワーアプリケーション用にPCBをレイアウトする場合、メーカーが推奨するフットプリントを使用し、取り扱いとはんだ付けのガイドラインに確実に従うことが推奨されます[11]。

パワースイッチング回路の寄生インダクタンスは、過電圧過渡現象の振幅とエネルギーを増加させ、アバランシェを避けるためにスイッチング速度を低下させる必要があります。過渡現象は、電流の急激な変化によって発生します。

$$V_{DS} = L_S \frac{di}{dt} \quad [5]$$

ここで $L_S$ は、最も近いバスのデカップリングコンデンサから始まり、スイッチング素子を通過してコンデンサに戻る電流ループで決定されます。

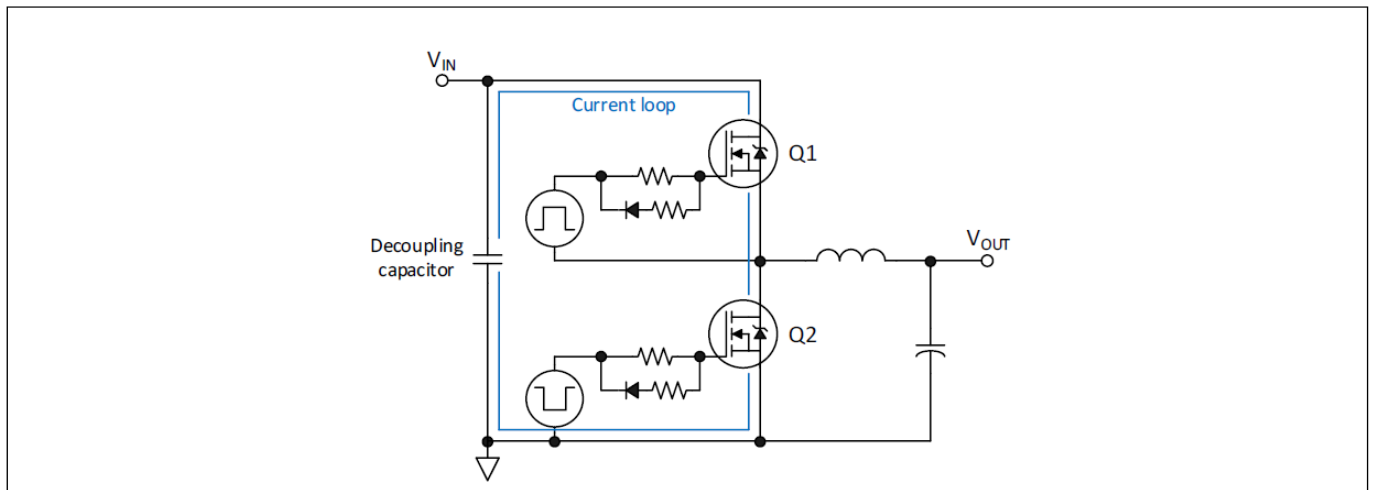


図19 ハーフブリッジのスイッチング電流のループ

物理的な基板レイアウトでは、電流ループのインダクタンスは $c$ 、ループを形成するトレースの間隔の狭さや、DCバスデカップリングコンデンサがMOSFETからどれだけ離れているかに依存します。また、トレースが長く、ループ面積が大きいと、放射EMIが発生します。MOSFET同士やDCバスデカップリングコンデンサをできるだけ近くに配置することで、ループを最小化することができます。これはPCBに2層以上の銅箔を使用し、リターン電流経路を電流経路の直下に配置し、デカップリングコンデンサーから始めてMOSFETを通過させてタイトカップリングを行うことで達成されます。リターンバスは、多くの場合、電源グランドプレーンの形になっています。多層プリント基板では、これを作るために1層以上の銅層を確保するのが一般的です。ここで、信号/デジタルグランドとパワーグランドは、敏感な制御回路に影響を与える可能性のある「グランドバウンス」を避けるために、分離しておく必要があります。電源と信号のグランドは、1点で結合するのが理想的で、デカップリングコンデンサのグランド接続が望まれます。

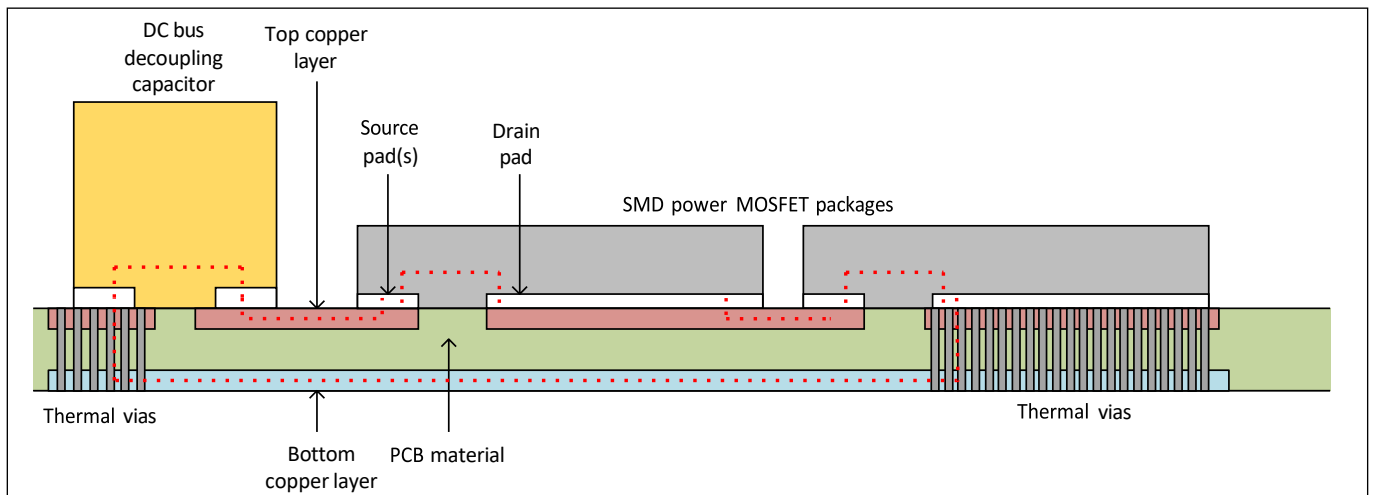


図 20 SMD MOSFETパッケージのPCBレイアウト最適化例

## 10 パワーMOSFETの並列化

大電流で動作する電力システムでは、並列接続されたMOSFET間の定常およびダイナミックな電流バランスを理解し、制御することが重要です。定常的な電流バランスに関しては、 $R_{DS(on)}$ が正の温度係数を持つため、デバイスがオーミック領域 (図 11 参照) で動作しているときに達成される可能性があります。これは、あるデバイスが並列するデバイスよりも  $R_{DS(on)}$  が低いために多くの電流を流すと、そのデバイスのダイ温度が上昇し、それによって  $R_{DS(on)}$  が上昇して電流をバランスさせることができるため、電流をバランスさせることができます。効果的に動作させるためには、デバイスを近接して配置し、ドレインとソースに接続される銅線の長さや幅を同じにする必要があります。

しかし、スイッチング条件下では並列化が難しくなり、周波数が高くなればなるほど、その傾向は強くなります。これは、スイッチオンとスイッチオフのたびに動的効果が作用し、一方のデバイスが他方よりも大きなストレスを受ける可能性があるためです。ゲートスレッショルド ( $V_{TH}$ )、トランスコンダクタンス ( $g_{fs}$ )、ゲートソース容量 ( $C_{GS}$ )、ミラー容量 ( $C_{GD}$ )、ポディダイオードリカバリー ( $Q_{rr}$ )、および  $R_{DS(on)}$  などのデバイスパラメータの不一致は、スイッチング時の電流分配や電力消費に影響を与える可能性があります。部品のマッチングが悪いと、スイッチング時に1つのデバイスがほとんどの電流を流すことになり、SOAの制限に違反する可能性があります。特に電力と熱安定性の制限に注意してください。これに加えて、先に述べた熱平衡メカニズムが平衡に達するにはある程度の時間が必要であり、高速スイッチングが行われる場合には、これが不可能になることがあります。並列化アプリケーションの場合、設計者はデータシートに記載されているパラメータの公差を確認する必要があります。

PCB レイアウトでは、ゲートループと電流経路のインダクタンスをできるだけ同じにする必要があります。並列接続されたMOSFETの電流をバランスさせるために、回路レイアウトはできるだけ対称に保つ必要があります。並列接続されたデバイスのゲートは、寄生発振を防ぐために、ゲート接続部に小さなフェライトビーズを配置するか、各ゲートに直列に個々の抵抗を配置してデカップリングすることができます。

また、ゲート駆動回路の設計も重要です。並列接続されたMOSFETは、1番目のMOSFETがオンしたときに同時にオン/オフすることが少ないため、ソースノードで急激な電圧スイングが発生します。これは、遅い並列接続されたデバイスのCGDを介してカップリングし、共有ゲート接続に電圧スパイクを発生させる可能性があります。これは、MOSFETが急速にオン/オフすることで発振し、MOSFETやゲートドライバを損傷する可能性があります。これを防ぐために、各並列MOSFETは、ゲートとゲートドライバへの共有接続の間に、独自のゲートドライブネットワークを配置する必要があります。

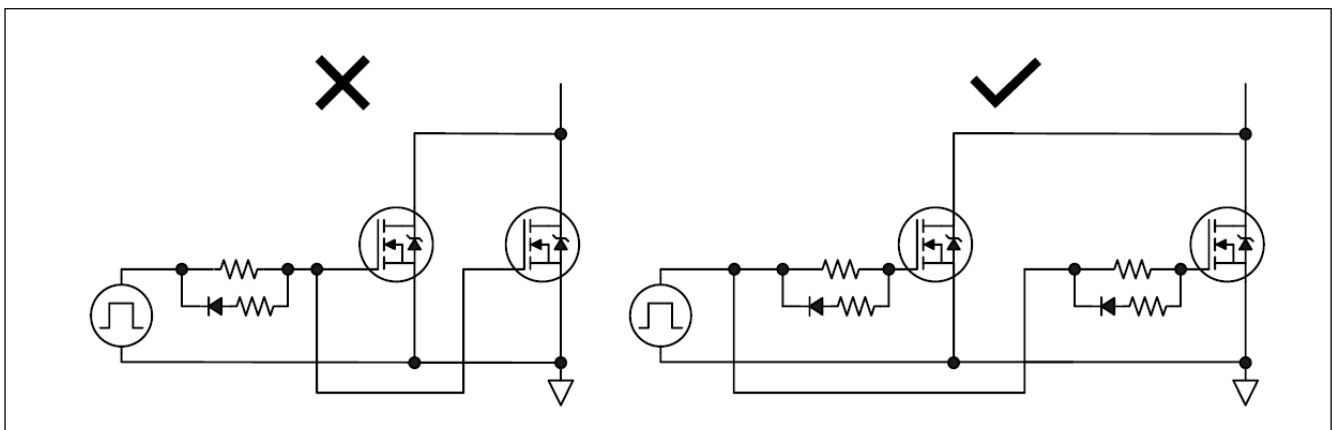


図 21 ゲート駆動分離型MOSFETの並列化

並列化に関する詳細な議論はこのアプリケーションノートの範囲外ですが、詳細な文献はオンラインで入手可能です。

## 結論

### 11 結論

このアプリケーションノートでは、パワーMOSFETについて簡単に紹介し、設計する際に理解しておかなければならない主要な特性について説明しました。MOSFETを用いた電力変換システムの設計では、スイッチング速度と損失のトレードオフ、アバランシェの原因となるターンオフ過渡現象、異なるSOA制限の範囲内、およびボディダイオードの逆回復について慎重に検討しなければならないことを説明しています。まず、最適なデバイスとヒートシンクの配置を選択して設計の性能要件を満たし、次に、ゲートドライブを最適化して、スイッチング損失に対してスイッチオフ過渡電流とボディダイオードのストレスを釣り合わせます。最後に、大電流スイッチング経路の寄生インダクタンスを最小化するために、PCBレイアウトを最適化する必要があります。

このガイドラインを適用することで、システム開発時間の短縮やテスト時の不要な部品の故障を減らすことができ、お客様の利益につながることを期待しています。

## 12 参考文献

- [1] International Rectifier AN-936A (HEXFET™ power MOSFET designer's manual, 1993), The dos and don'ts of using MOS-gated transistors, Brian R. Pelly.
- [2] International Rectifier AN-1084, **Power MOSFET basics**, Vrej Barkhordarian.
- [3] International Rectifier AN-955, Protecting IGBTs and MOSFETs from ESD, Steve Brown, Bob Ghent.
- [4] International Rectifier AN-1005, **Power MOSFET avalanche design guidelines**, Tim McDonald, Marco Soldano, Anthony Murray, Teodor Avram.
- [5] Infineon AN\_201611\_PL11\_002, **Some key facts about avalanche**, Olivier Guillemant.
- [6] Infineon AN\_201709\_PL11\_006, **A new approach to datasheet maximum drain current ID rating of low voltage MOSFETs**, Gerhard Noebauer, Elvir Kahrmanovic.
- [7] Infineon AP99007, **Linear mode operation and safe operating diagram of power MOSFETs**, Johannes Schoiswohl.
- [8] Infineon AN\_201403, **Hard commutation of power MOSFETs**, Alan Huang.
- [9] International Rectifier, **Paralleling of power MOSFETs for higher power output**, James B. Forsythe.
- [10] International Rectifier, **From planar to trench - evaluation of ruggedness across various generations of power MOSFETs and implications in in-circuit performance**, Hemal Shah, Steve Oknaian, Eric Persson, Rongjun Huang.
- [11] Infineon, **Recommendations for board assembly of Infineon discrete packages without leads**.
- [12] Electronic Design, MOSFET design basics you need to know, Paul Schimel.
- [13] Wikipedia, Power MOSFETs, [https://en.wikipedia.org/wiki/Power\\_MOSFET](https://en.wikipedia.org/wiki/Power_MOSFET).



## 13 改訂履歴

ドキュメント バージョン	発行日	変更内容
V 1.0	2022-01-10	初回リリース
V 1.1	2022-02-10	第5項および第7項を更新し、より一般的な用語に準拠するため、 $C_{GS}/C_{GD}$ に加えて $Q_{GD}/Q_{GS}$ および $Q_{GD}/Q_{GS(TH)}$ への言及を追加

#### Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2022-02-10**

**Published by**

**Infineon Technologies AG**  
81726 Munich, Germany

**© 2022 Infineon Technologies AG.**  
**All Rights Reserved.**

**Do you have a question about this document?**

**Email:** [erratum@infineon.com](mailto:erratum@infineon.com)

**Document reference:**  
**AN\_2112\_PL18\_2112\_024619\_JP**

#### IMPORTANT NOTICE

The information contained in this application note is given as a hint for the implementation of the product only and shall in no event be regarded as a description or warranty of a certain functionality, condition or quality of the product. Before implementation of the product, the recipient of this application note must verify any function and other technical information given herein in the real application. Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind (including without limitation warranties of non-infringement of intellectual property rights of any third party) with respect to any and all information given in this application note.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

For further information on the product, technology, delivery terms and conditions and prices please contact your nearest Infineon Technologies office ([www.infineon.com](http://www.infineon.com)).

#### WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.