

小形制御用計算機 HIDIC 100 システム

Mini-size Control Computer HIDIC 100 System

森田和夫* 曾我政弘* 平井浩二*
Kazuo Morita Masahiro Soga Kôji Hirai

要 旨

信頼度の高いこと、経済性にすぐれていること、使いやすいことを三大特長とする小形制御用計算機 HIDIC 100 を開発した。このシステムは、日立制御用計算機ファミリーのうちで最も小形であり、従来、単能の制御装置を用いていた分野、あるいは大形システムの端末プロセッサなどにも広く用いられることが期待される。

すでに納入したシステムは、現在、好調に稼働中であり、所期の成果をあげつつある。本稿では、HIDIC 100 システムの中央処理部、周辺機器ソフトウェアについて概要を述べる。

1. 緒 言

ここ数年来、制御用計算機は、いわゆる第3世代に着実に移行し、すでに実用期を迎えている。日立製作所では、このすう勢に適合した制御用計算機として、すでに HITAC 7250, HIDIC 300 を開発し、実用化してきたが、引き続き、このたび小形制御用計算機 HIDIC 100 (以下 H-100 と略す) を開発した。一般に、制御用計算機は制御対象に直結してオンラインで24時間フル稼働することが多いので、主として次のような特性が要求される。

- (1) 信頼度が高いこと。
- (2) 経済性にすぐれていること(適用のメリットがあること)。
- (3) オンライン、リアルタイムの処理機能があること。
- (4) プロセス入出力信号を扱えること。
- (5) 制御システム用の Man-Machine Communication の手段を備えていること。

H-100 は日立制御用計算機ファミリーを構成する一機種として、これらの特性を備えるとともに、従来、単能の制御装置を用いていた分野、あるいは計算機の導入が経済性、信頼性の面で不利であるとして人手に頼っていた分野に積極的に使用されることを目的として開発したものである。したがって、信頼性が高く経済性にすぐれ、使いやすいことが特に重視されている。以下、本文では H-100 システムの特長、中央処理部、周辺機器の概要、ソフトウェアについて述べる。

2. HIDIC 100 システムの概要

2.1 特 長

H-100 の第一のねらいは、従来の制御用計算機と比較して、より信頼度が高く、より経済性にすぐれ、より使いやすいことを3大特長として、発電所、製鉄所、化学プラントなどのデータロギング、プログラムコントロール、シーケンスコントロール、DDC (Direct Digital Control) に用いられるとともに、工場の生産管理、放送、交通の制御、CAD (Computer Aided Design)、試験、研究の自動化、通信回線の制御など多種多様な分野に、手軽に適用されることにある。また第二のねらいは、大形計算機の端末機器用プロセッサ、あるいは、ハイアラキシステムの衛星計算機のように、トータルシステムの一部として用いられることにある。このようなねらいのもとに、H-100 の設計にあたって、おもに次の諸点に留意した。

2.1.1 信 頼 性

主眼を、部品数、あるいはコネクタなどの接点数をへらすことにおいた。そのためには、まず、システム、論理、回路などが複雑、高級化するのを防ぐよう注意を払った。また、使用する部品

* 日立製作所国分工場

に対しては、エージング、ディレーティングを厳重に行なって、初期不良の除去と、長寿命化を図った。さらに、稼働率をあげるためには、パリティチェック、インターフェースチェックなどのエラーチェック機構および停電時の出力保持などのフェールセーフ機構を必要個所に設けた。

2.1.2 経 済 性

経済性にすぐれたシステムにするには、まず第一に、大小さまざまな適用対象の規模に最も適したハードウェアシステムを構成できることがたいせつである。そのためには、オプションの整備と、ビルディングブロック化を徹底するとともに、システムの規模によってコストが不連続に上昇しないよう特に考慮した。第二には、制御回路を高速化してシステム全体の処理時間を低下させずに、ハードウェアを多重使用するとともに、コアメモリの有効活用を図った。一例として、CPU (Central Processing Unit) のレジスタの多くは、多重使用するか、コアメモリ内に設けている。また、浮動小数点、倍長の演算、および割込の要因判定、論理判断処理などは、サブルーチンで行なう。

2.1.3 簡 便 性

特に次の点に留意した。

(1) プログラムが容易

H-7250 の言語体系をベースとしたアセンブラを持ち、NPMS (Non Process Monitor System), PMS (Process Monitor System) の体系化と標準化を図った。また、H-7250 と言語を共通化したので、H-7250 を使ってプログラムを作成することができる。

(2) 優先割込処理

緊急の割込信号に対して迅速な処理ができるよう最大8(レベル)×16(要因)の割込みを可能とした。

(3) 標準インターフェースと入出力制御

ビルディングブロックを容易にするため、CPU と I/O との接続仕様を「H-100 標準インターフェース」として標準化した。また、情報転送の高速化と多重化を図るため、転送方式としてプログラム制御によるもののほかにチャンネルを設けた。

(4) 環 境 条 件

過酷な設置環境に備えて、CPU、プロセス I/O は、0~50°C の範囲でも正常に動作するものとした。

以上述べた諸点のほかに、H-7250、H-300 と次のような関係を持たせてある。

(a) コストと、パフォーマンスの両面で、三者は H-7250→H-300→H-100 の順位に従ってハイアラキシステムを形成する。

(b) 三者のソフトウェアは、それぞれ上位方向に対してコンパティブルとなっている。

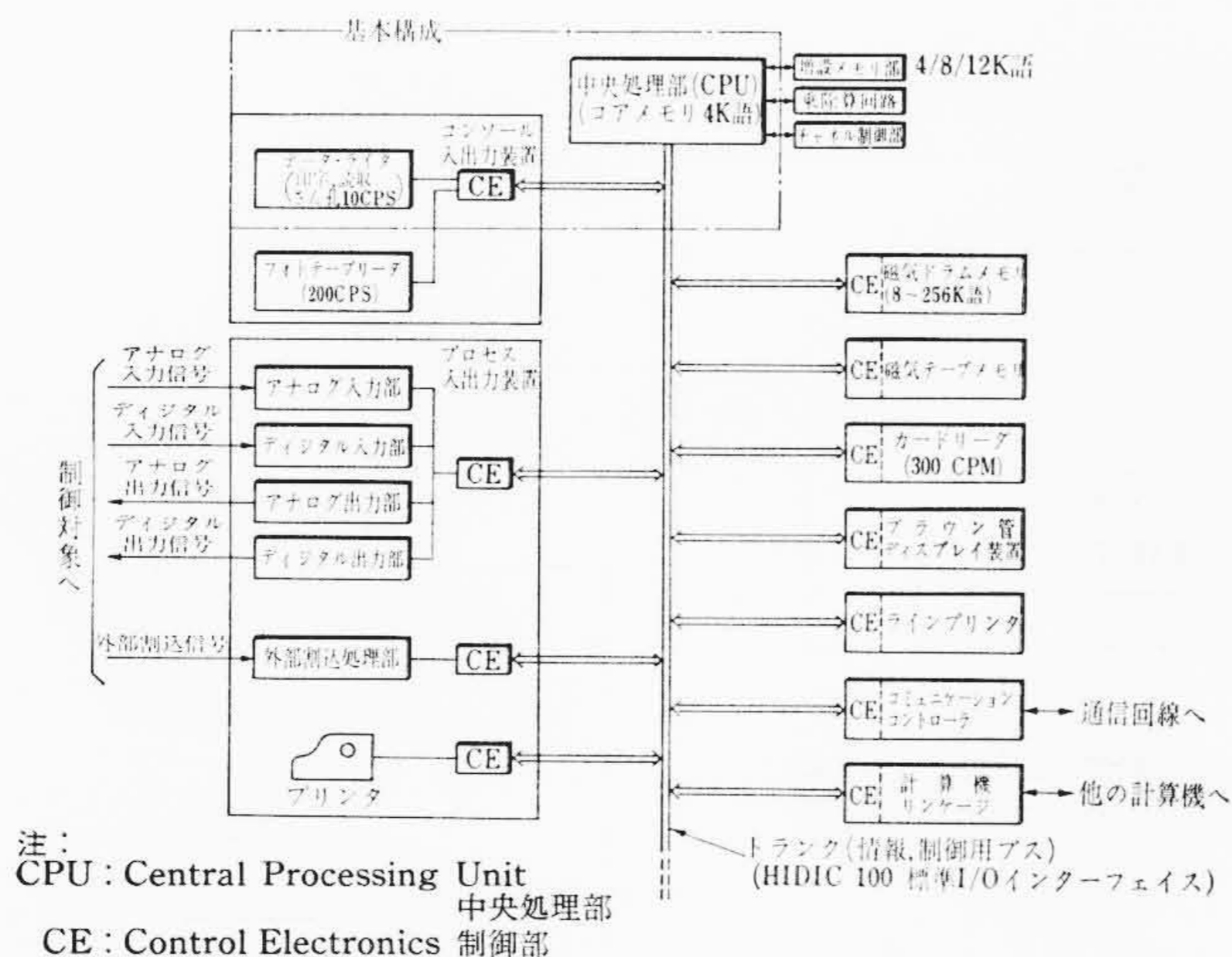


図1 H-100システムの機器構成

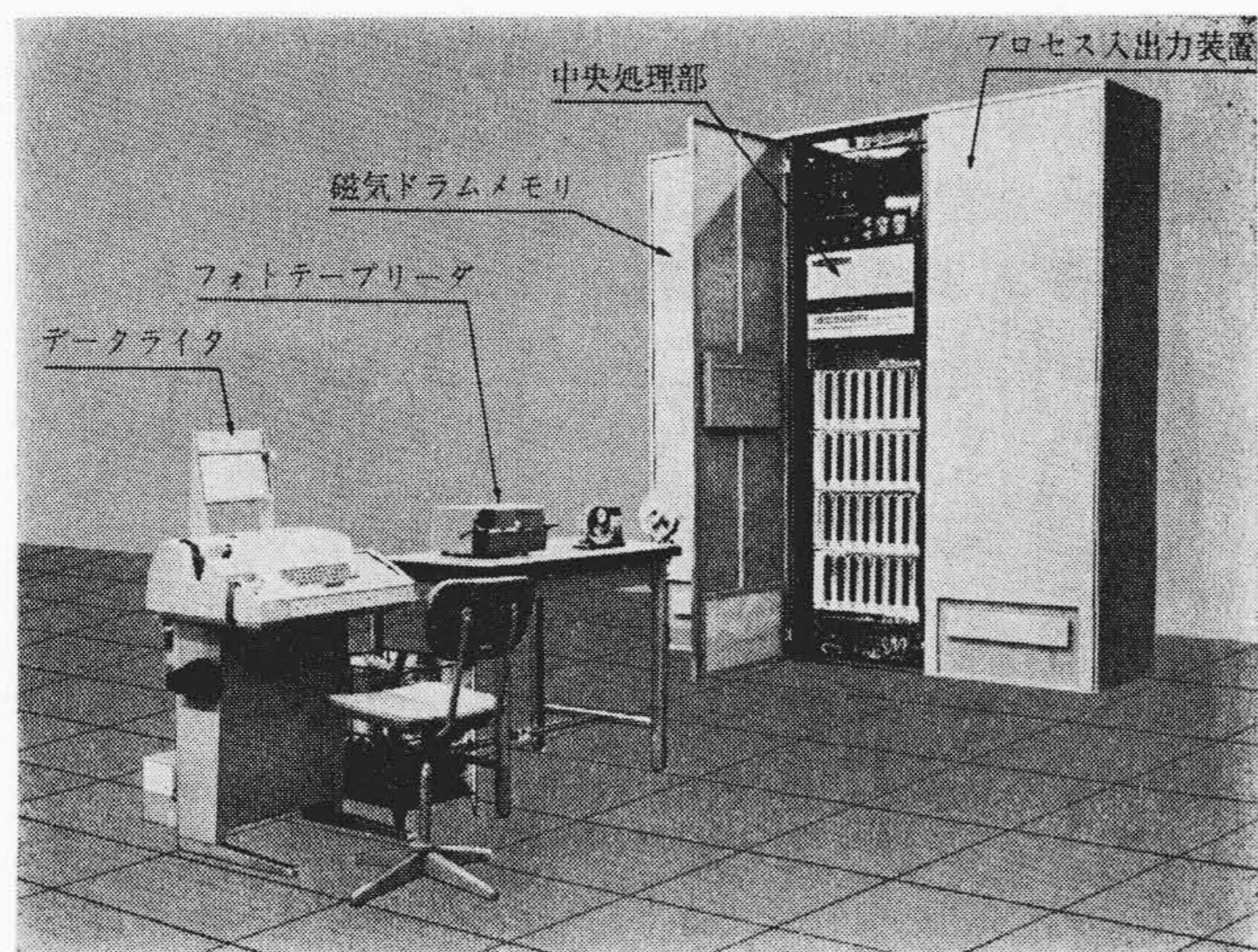


図2 H-100システムの一例



図3 中央処理部 (CPU)

(c) 各ハードウェアは、相互に結合が可能。

2.2 機器構成

H-100システムの基本構成は、図1の一点鎖線で示したように、CPU (コアメモリ 4k 語) とデータライタからなりたっている。この構成をベースに各 I/O は、H-100 標準 I/O インターフェイスと呼ぶ接続仕様のもとに、トランク (情報および制御用のバス) を介して、中央処理部 (CPU) へ接続される。CPU が I/O を制御する方式には、プログラムによる方式 (Program Control I/O, PCIO) と、バーストチャネル (Burst Channel, BC) による方式があって、データライタ、フォトテーブリーダーのように低速の I/O は、前者で、磁

表1 CPU仕様一覧表

項目	仕様
方式	ストアドプログラム
プログラム演算	パラレル
語長	16 ビット+パリティ
基本命令数	16
演算速度	
加減算 (固定小数点)	16.5 μ s
(浮動小数点)	ソフトウェアによる
乗除算 (標準)	ソフトウェアによる
(オプション)	ハードウェア 乗算 250 μ s 除算 350 μ s
コアメモリ	
サイクルタイム	2 μ s
記憶容量	2/4/8/12/16 K語
割込	8 (レベル) \times 16 (要因)
インデックスレジスタ	3
論理素子	IC (TTL)
周囲条件 (温度)	0~50 $^{\circ}$ C

気ドラムメモリ、磁気テープメモリ、ラインプリンタなどの高速 I/O は、後者で制御する。また、CPU には各 I/O のほかに増設メモリ部、乗除算回路、チャネル制御部をオプションとしてつけることができる。CPU の概略仕様を表1に、また、中規模システムの例を図2におのおの示した。

3. 中央処理部 (CPU)

3.1 概要

CPU は、コアメモリ、演算部、制御部の三つの部分で構成され、これらは、図3のようなコンパクトな構造に実装してある。標準規模の H-100 で最も多く用いられるコアメモリの容量は 4~8k 語であるので、8k 語までを図3のきょう体内に実装できるようにした。12/16k 語へ増設する場合には、メモリユニットを追加する。次に、インデックスレジスタをはじめ多くのレジスタをコアメモリ内の特定番地に設け、情報バスは、8ビット並列を基本とした。このようにして、高信頼化と、低価格化をはかる一方、処理速度を低下させぬように制御部のクロック系を高速化した。

3.2 命令

すでに述べたように、H-100 は、H-7250、H-300 とファミリーであることを設計の基本方針としたので、命令体系も両者に合致させたが、これはおもに次の諸点で有利と考えたからである。

- (1) システムの構成、拡張に有利 (たとえば、H-300、H-7250 と結合するなど)
- (2) プログラマ、オペレータ、保守員などが、いずれかの機種を習熟した場合、他の機種の理解が早い。
- (3) H-7250 を使用して H-100 のプログラムを高速で能率よく作成できる。
- (4) H-7250、H-300 で開発済みのソフトウェアを有効に利用できる。

したがって、命令のフォーマット、アドレスなどの指定方法を、3機種共通にして、相違点は、主として命令数に絞った。その結果、H-100 の命令は、H-7250 の命令群のなかからおもに次の演算をサブルーチンで行なうこととして取捨選択した。

- (a) 倍長演算
- (b) 乗除算 (ハードウェア乗除算回路はオプション)
- (c) 論理演算 (AND と Exclusive OR の組合せで行なう。)
- (d) 浮動小数点演算

H-100 の基本命令は、表2に示したように 16 個であり、また各命令は図4に示したようなステージに従って実行する。各ステージ

表2 命令一覧表

No.	分類	記号	内容
1	転送関係命令	LD	Load Accumulator
2		STO	Store Accumulator
3		LDS	Load Status
4		STS	Store Status
5	演算および論理命令	A	Add
6		S	Subtract
7		AND	And
8		EOR	Exclusive Or
9	シフト命令	SLA	Shift Left Logical
10		SRT	Shift Right Arithmetic
11		RTE	Rotate Right
12	ブランチ命令	BSI	Branch and Store Program Counter
13		BSC	Branch or skip on Condition
14		MDX	Modify Index and Skip
15		HALT	Halt
16	入出力命令	XIO	Execute I/O

表3 ステージの処理内容

メインステージ	処理内容
STAT 1	(1) 命令の呼出し (2) プログラムカウンタ (+1) (3) 1語命令であれば実効アドレスの計算
STAT 2	(1) 命令語の2語目の読出し (2) インデックス修飾
STAT 3	間接アドレスの読出し
EXECT	命令コードの実行
INT	(1) プログラムカウンタの退避 (2) 割込処理プログラム先頭番地の読出し (3) インヒビット, フリップフロップのセット
BURST ENT	(1) チャンネル制御, レジスタの読出し (2) ストロープ信号を I/O へ送出
TRANS	(1) コアメモリ ↔ I/O の情報転送 (2) ストロープ信号を I/O へ送出 (3) データカウンタ (-1), アドレスレジスタ (+1)
TRANS END	(1) データの転送語数とコアメモリアドレスの退避 (2) ストロープ信号を I/O へ送出

表4 割込レベルの割付

レベル	内容
0	内部割込
1	入出力装置からの割込
2~7	外部プロセスからの割込

は、最大20個のマイクロステージからなりたっており、表3に示した処理を行なう。

3.3 割込処理と入出力制御

3.3.1 割込処理

割込の要因は、主として次の3種に大別できる。

- (1) 停電および復電, タイマよりの信号, 内部割込み
- (2) I/O 機器からの動作終了, 転送誤り, 動作不能などの割込み
- (3) 外部プロセスからの緊急割込み

これらには、緊急度に応じて処理の優先順位をつける必要があり、H-100はそのため最大8個のレベルを備えている。このレベルの割付けを示したのが表4である。また、各レベルにはそれぞれ最大16個の要因を持つので、最大規模の場合には合計8×16個の割込要因の受け付けが可能である。割込信号は、すべて要因レジスタに受け付けられ、マスクされていないレベルのうち優先度

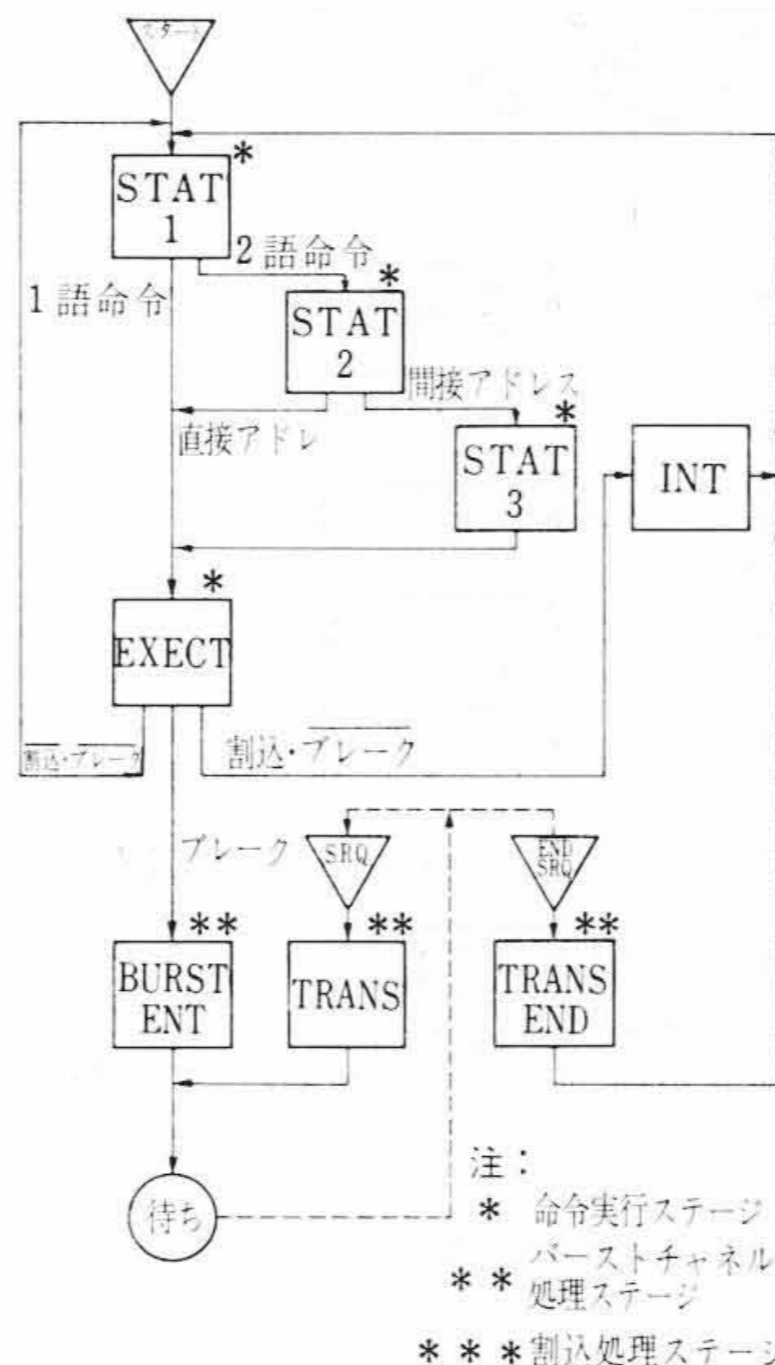


図4 命令の実行ステージ

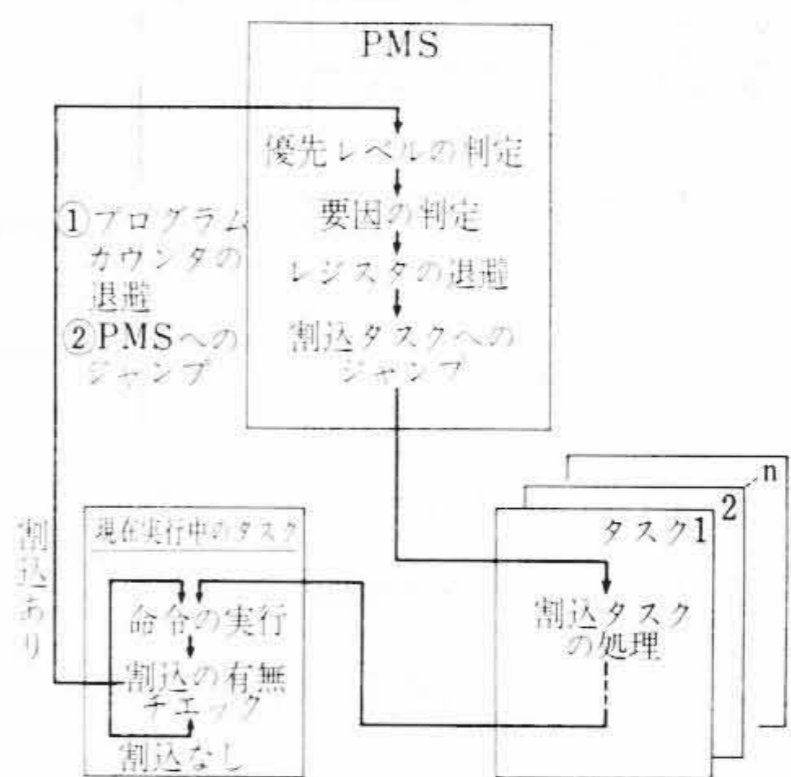
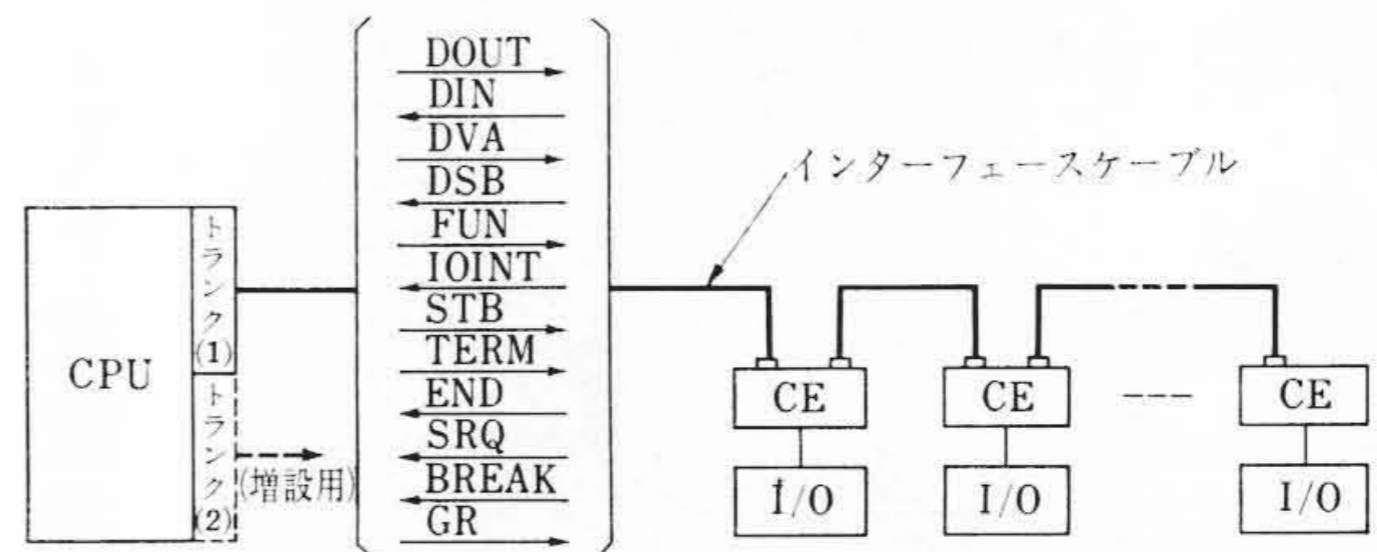


図5 割込処理フロー



注 DOUT: CPUよりの出力情報
 DIN: CPUへの入力情報
 DVA: I/Oを指定するアドレス信号
 DSB: DVAで指定された入出力装置の状態を示す信号
 FUN: 情報の転送方向等を指定する制御信号
 IOINT: I/Oよりの割込信号
 STB: ストロープ信号
 TERM*: CPU→CEの転送停止指令
 END*: CE→CPUの転送終了信号
 SRQ*: CE→CPUの転送要求または終了要求信号
 BREAK*: CE→CPUのチャンネル起動信号
 (*はチャンネル転送時のみ)

図6 標準I/Oインターフェイス

の高いものから処理にはいる。図5はこの処理のフローを示したもので、プログラムカウンタの退避まではハードウェアで行ない、優先レベルの判定、タスク(アプリケーションプログラム)の先頭番地へのジャンプは、PMS (Process Monitor System)で処理する。このように、ハードウェアとソフトウェアを併用した経済的な方式を採用し、しかも多くの割込レベルと要因を設けて割込機能を強化したことは、H-100の特長の一つになっている。

3.3.2 入出力制御

図6は、H-100の標準I/Oインターフェイスを示したもので、BC専用のTERM, END, BREAK, SRQを除き、PCIOとBCに共通に適用する。CPUとI/Oとの接続は、カスケード方式でインターフェースケーブルにより行なう。PCIOの制御は、入出力命令(XIO)によって、CPUのHSMあるいはアキュムレータとI/Oの間で一語ずつ行なうが、BCの制御は次のようにする。まず、BCが持つチャンネルコントロールレジスタに転送方向、転送する語数およびデータを格納するコアメモリ内の先頭番地などをセットし、次にXIOでI/Oに制御情報(FUN)を出してチャンネル動作にはいる。

このようにして起動がかけられると、I/Oからのブレーク信号(BREAK)により、制御の主体はプログラムからチャンネルに移り、指定された語数の転送が終わるか、あるいはI/Oが転送終了信号(END)を出すまでプログラムは止まり、チャンネルは待期状態と

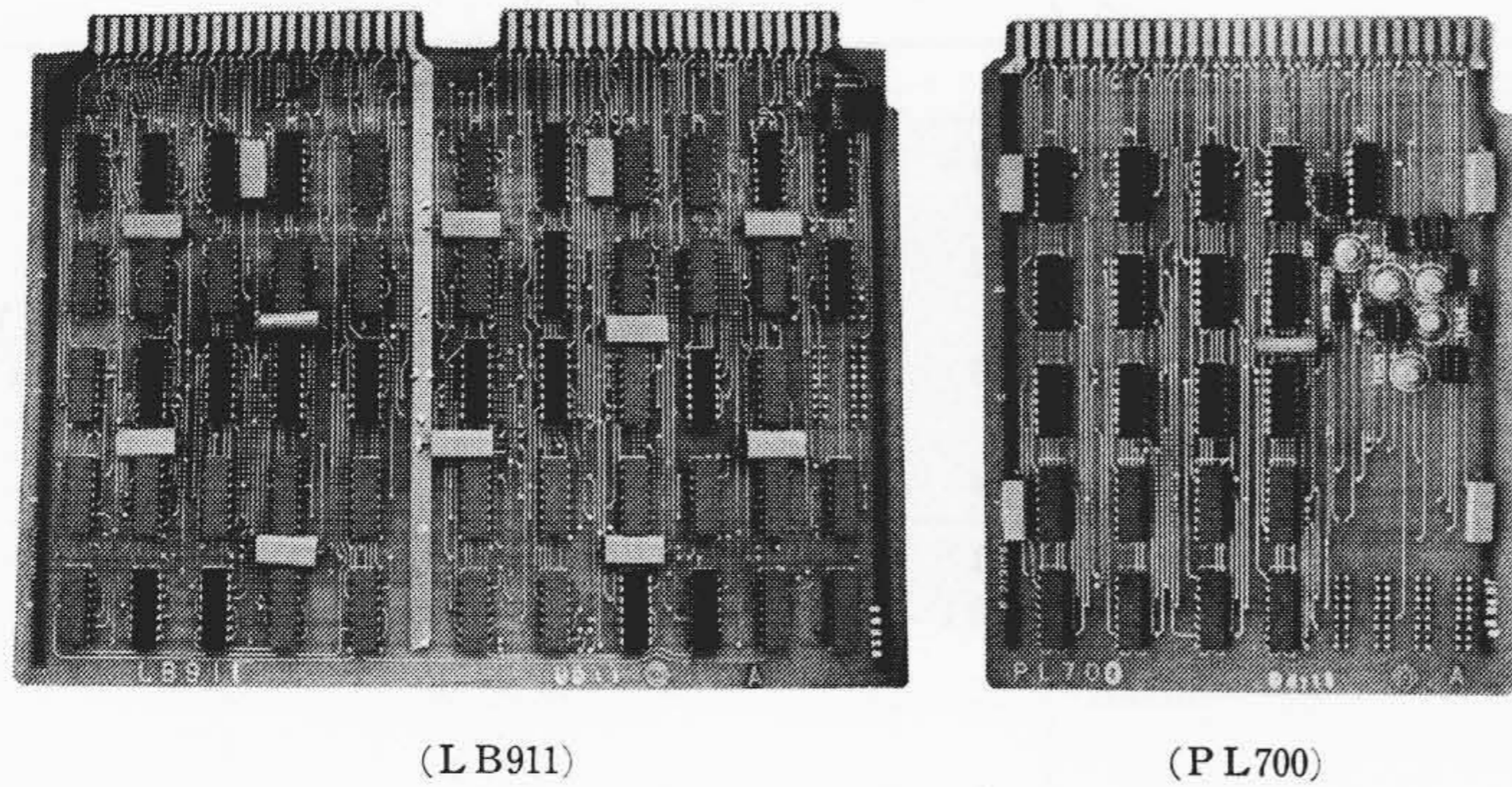


図7 プラグイン (PI)

なる。この状態で、I/O から一語ごとに送られてくる転送要求 (SRQ) に応答して HSM と直接情報を送受する。一連の転送が終わると I/O は停止し、チャンネルは制御の主体をプログラムへ戻す。

3.4 実装

3.4.1 プラグイン (Plug In: PI)

図7に示したように、大形と、小形の2種のPIを標準とした。大形PIは、経済性および迅速な故障診断と交換など保守上有利であり、小形PIはビルディングブロックを行ないやすい特長を持っている。H-100ではこの特長を生かして、CPUには大形、I/Oには小形のPIを用いた。

3.4.2 設置構造

適用の多様化に備え、CPUは卓上形、計算機キュービクル形、制御装置等への組込形など、いずれにも適する構造とした。

図8は計算機キュービクルに組み込んだ例を示したものである。

3.4.3 ビルディングブロック

主として次の回路をCPUのオプションとしてモジュール化した。

- (a) コアメモリ：4/8/12k語 (この組合せにより、H-100 システムとして最大記憶容量は16k語になる)
- (b) 光電式紙テープ読取機用制御回路
- (c) チャンネル制御部
- (d) トランク2 (I/O増設用)
- (e) 乗除算回路

4. 周辺装置

4.1 コンソール入出力装置

コンソール入出力装置は、プログラマと計算機とのコミュニケーションの媒体であり、通常、紙テープ読込、紙テープせん孔、印字の機能が必要である。H-100では、これらの機能を備えた標準機器として、データライタ (ASR-33) を採用し、信頼性を向上させるための部分的改良と、長時間エージングを行なったのち使用している。高速の読込みを必要とする場合には、オプションで光電式リーダ (PTR) をつける。表5はおのおのの仕様を示したものである。データライタ、PTRの制御部 (CE) はともに標準インターフェースでCPUに接続されるが、CEのプラグインはCPUのきょう体内に実装してある。

4.2 磁気ドラム記憶装置

本装置の概略仕様を表6に示す。本装置に使用した磁気ドラム本体は、制御用計算機に適した信頼性の高いもので、完全密閉構造になっている。また、ヘッドモジュールはドラムが静止しているときにはドラム面より離れ、回転を始めると遠心力スイッチが働いて電動でドラム面へ近づき、さらにヘッドのおのおのはエアフローでドラム面よりフロートする構造になっている。CPUとの情報転送は、

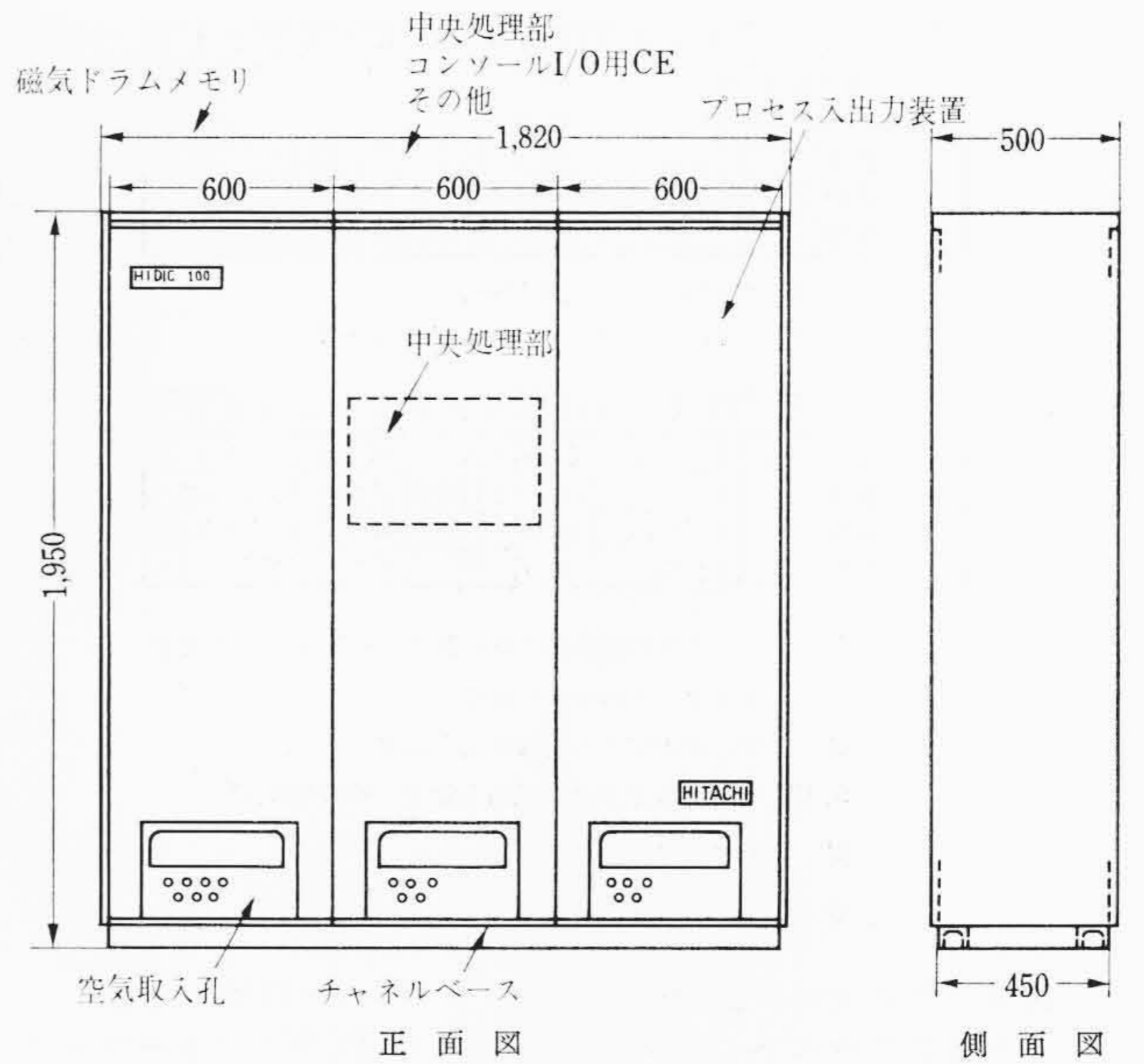


図8 CPUの設置構造

表5 コンソール入出力装置の仕様

データライタ	
印字速度	540字/分
紙テープ読込速度	420 CH/分
紙テープせん孔速度	540字/分
文字の種類	64
コード	ASCII
印字幅	7.4インチ (74文字)
光電式紙テープ読取機	
読取速度	200 CH/秒
情報転送方式	8ビット並列
コード	ASCII

表6 磁気ドラム記憶装置の仕様

記憶容量	64/128/256 K語 (16ビット+パリティ)
	1バンド 64セクタ 1セクタ 16語
情報記憶方式	位相変調方式
速度	本体回転数 3,000/3,600 rpm
	(50/60 Hz) 平均アクセス時間 10/8.5 m秒
	転送速度 50/60 K語/秒
回路素子	TTL

すでに述べたようにチャンネルを介してセクタ (16語) 単位で行なう。

4.3 プロセス入出力装置

4.3.1 概要

プロセス I/O は、制御対象と CPU との間において温度、圧力、流量、接点の開閉などのプロセス入出力信号を処理するもので、おもに次の機能が必要である。

- (1) アナログ入力信号の走査、増幅、A-D変換、データの読込み
- (2) デジタル入力信号の走査、一時記憶、データの読込み
- (3) アナログ出力信号の送出、分配、D-A変換
- (4) デジタル出力信号の送出、一時記憶、分配

H-100のプロセス I/Oは、H-7250、H-300のプロセス I/OとCE以外の部分を共通化して、すでに標準化してあるユニットをそのまま使えるようにした。

4.3.2 構成

制御対象の規模、入出力信号の形態は、アプリケーションによって様ではないため、経済的なシステムを構成するには、徹底した標準化とビルディングブロック化が必要である。H-100のプロセス I/Oはすでに図1で示したように、機能別にアナログ入力

デバイス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AI	逐次比較形	S														OF
	積分形	S														OF
DI																
AO																
DO																

S : AIデータの符号ビット
OF : AI入力のオーバーフロー表示ビット

デバイス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AI	I	G	I	D	S	C										
DI	I				O	I	P	S								
AO	I	O	O		O	O										
DO	I	W			O	O										

(注) I : デバイスの動作終了時に割込をかけることを指定
G : プリアンプのゲイン指定
D : サーモカプルの断線検出を指定
S, C : サーチコイルの抵抗値を指定 (積分形A/D)
P : パリティチェック指定
S : データ取込方式の切換

図9 プロセス入出力装置のデータワード (DW) およびプロセスコントロールワード (PCW) フォーマット

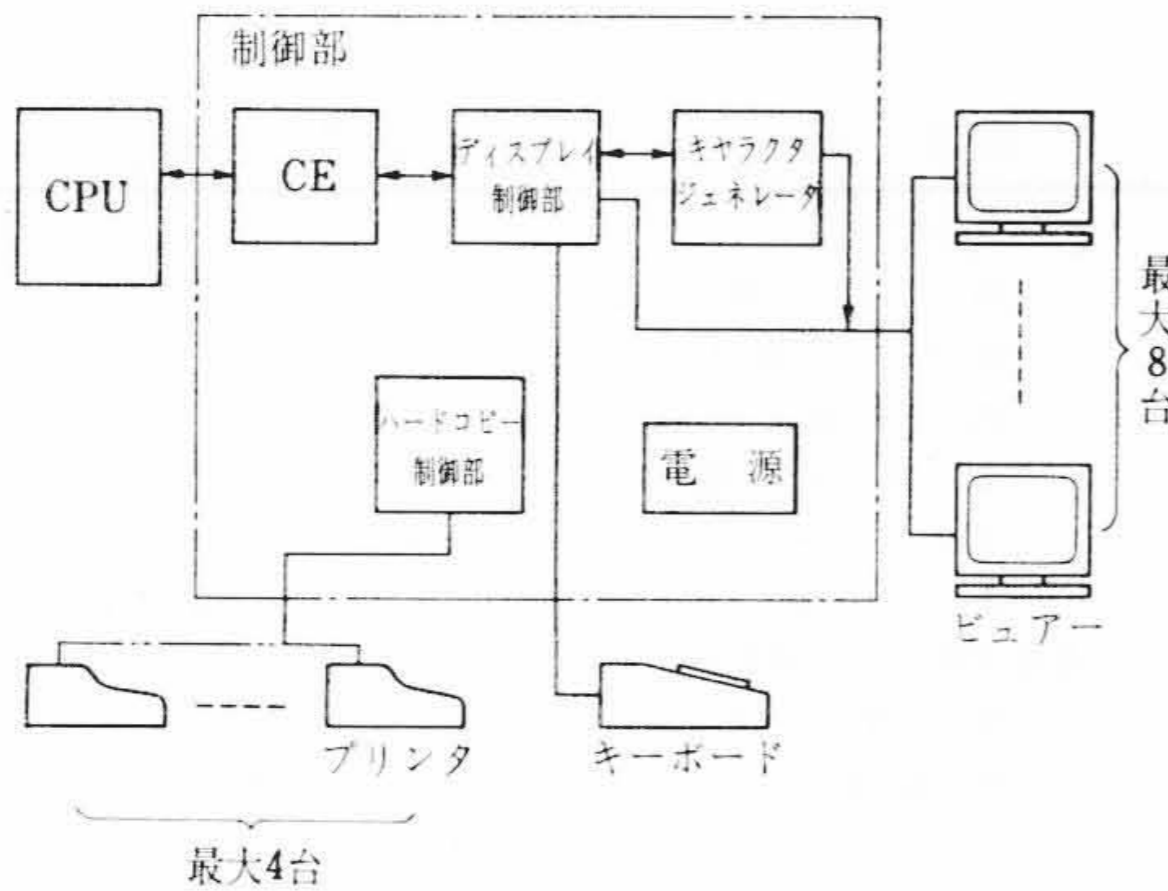


図10 プロセスディスプレイ装置ブロック図

部(AI), デジタル入力部(DI), アナログ出力部(AO), デジタル出力部(DO)と, これらの各部(デバイス)を制御するCEとにユニット化した。通常のシステムでデバイス間の同時処理を必要としない場合には, CE 1 ユニットでこれらのデバイスを制御するが, 大規模なシステム, あるいはデバイス間の同時処理を必要とする場合には, 複数個のCEを使用する。各デバイスはおのおの下記の単位でビルディングブロックができる。

- AI: 8/16 点
- DI: 8/16 ビット
- AO: 1 点
- DO: 8/16 ビット

4.3.3 プロセス CE (PCE)

プロセス I/O の CE を PCE と呼ぶが, PCE は CPU の入出力命令 (XIO) によって, READ, WRITE, SENSE, WRITE CONTROL のコマンドを指定され, データワード (DW), センスワード (SW), プロセスコントロールワード (PCW) の三つの情報パターンを処理する。各コマンドは次の動作を指定する。

- (1) READ: AI, DI からの DW を CPU へ送る。
- (2) WRITE: CPU から DW を AO, DO へ送る。
- (3) SENSE: SW を CPU へ送る。
- (4) WRITE CONTROL: CPU から送られる PCW でデバイスを制御する。

次に情報パターンのうち, SW は各デバイスに共通で, DI にパリティエラーが起こった場合, あるいはデバイスが XIO を受け

表7 プロセス入出力装置デバイス仕様

デバイス名	仕 様
アナログ入力部	(1) 走査器 水銀リレー形 100 点/秒最大 無極点形 5,000 点/秒最大
	(2) 増幅器 入力レンジ ±10, 30, 50, 100, 300 mV, 1, 5, 10 V
	(3) A-D 変換器 積分形 変換時間 50 ms 逐次比較形 変換時間 50 μs
	(4) 精 度 ±0.1%
デジタル入力部	(1) 種 類 電圧入力, 接点入力
	(2) 読取速度 10,000 グループ×16 点/秒最大
アナログ出力部	(1) 種 類 電流出力 0~20 mA 電圧出力 0~5 V
	(2) 精 度 ±0.1%
	(3) 書込速度 2,500 点/秒最大
	(4) 応答時間 500 μs 以下
デジタル出力部	(1) 種 類 リレー出力 半導体出力 パルス出力 表示管出力
	(2) 書込速度 リレー式 100 グループ×16 点/秒最大 半導体式 10,000 グループ×16 点/秒最大

表8 プロセスディスプレイ装置仕様

ビ ュ ア ー :	12 インチブラウン管 (幅 200×高さ 130 mm)
文 字 :	大 き さ 幅 3.5×高さ 5 mm
	字 数 / 行 40
	行 / 画 面 13
	画 面 / 秒 60
	種 類 英字, 数字 64 (特殊記号 32 オプション)
コ ー ド :	ASCII
使 用 素 子 :	T ² L, MOS LSI
周 囲 条 件 :	制 御 部 0~50°C ビ ュ ア ー 0~40°C

てから一定時間経過しても応答しない場合に CPU に対しエラー情報を送る。DW は CPU とデバイス間で転送するデータであり, PCW はデバイスのスキャナ, デストリビュータのアドレス, アンプのゲインなどデバイスを制御するのに必要な情報である。図 9 はおのおののフォーマットを示したものである。このように, プロセス I/O の制御をプログラムで自由に指定できるようにして適用上融通性を持たせた。

4.3.4 デ バ イ ス

表7 はデバイス各部の仕様を示したものである。このうち AI 部には特に次のような考慮を払った。

- (1) A-D 変換器に逐次比較形と積分形を設けた。後者は, 変換器自体がクロスモードノイズリジエクション 4 dB のフィルタ特性を持っているので低価格なシステムに有利である。
- (2) 前置増幅器, A-D 変換器をフロートさせてコモンモードノイズの影響を受けにくくするとともに, 入力側耐圧を向上させた。
- (3) 検出端, 入力引込線の断線などを検出する目的で断線検出回路を標準として内蔵させた。

4.4 プロセスディスプレイ装置

オペレータと計算機とのリアルタイムコミュニケーションの有効な手段として, 最近ブラウン管ディスプレイ装置が脚光を浴びているが, 本装置は特に制御システムで生産ライン~オペレータ~計算機間の情報連絡に適するように開発したものであり, その構成および仕様をそれぞれ図 10, 表 8 に示す。標準構成(ビューア, キーボード, 制御部, プリンタ)の場合には次の四つの動作を行なう。

- (1) TRANSMIT: ビューア上に表示した内容を CPU へ送出する。

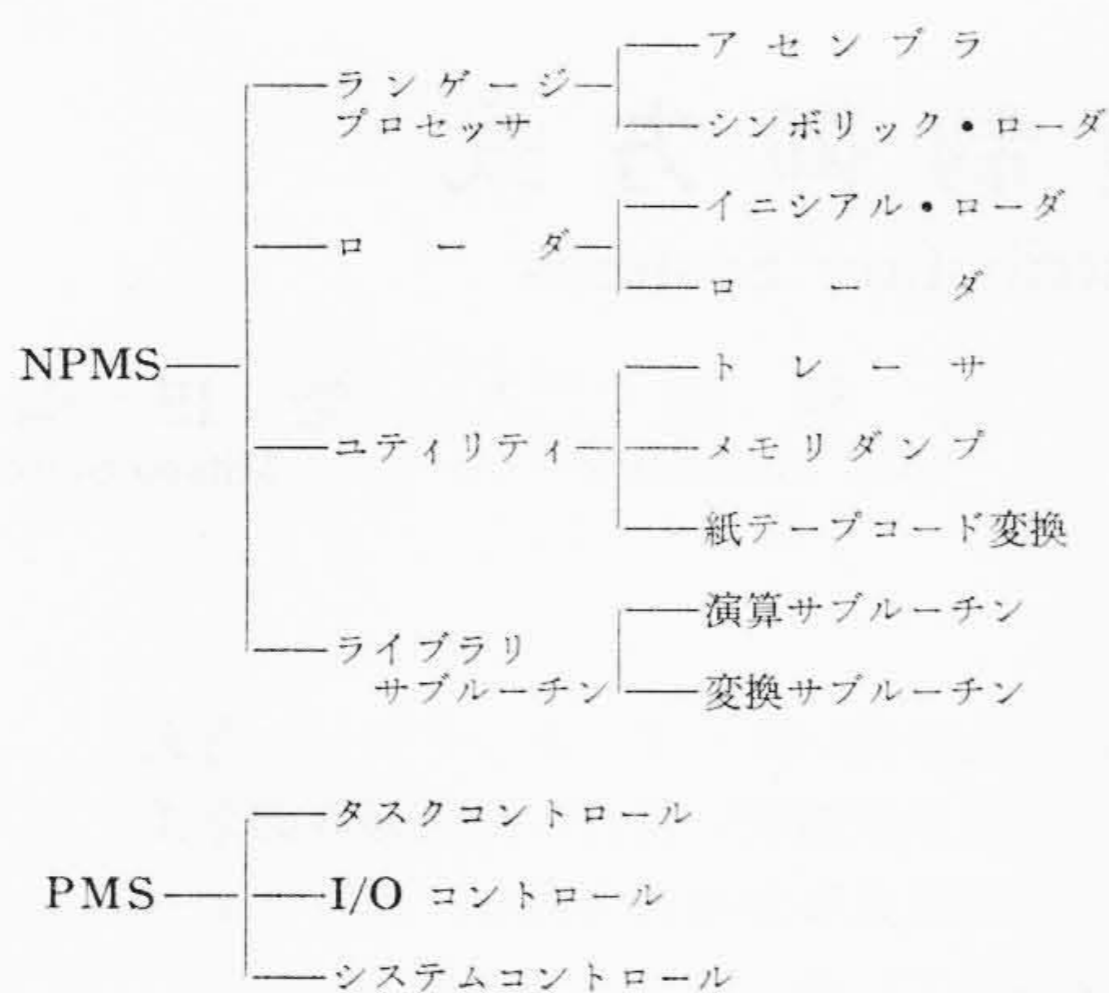


図11 NPMSとPMSの構成図

- (2) WRITE: キーボードよりビューアの表示内容を更新あるいは追加する。
- (3) RECEIVE: CPUからの情報をビューア上に表示する。
- (4) PRINT: ビューア上の表示内容をプリンタに印字する。(ハードコピーの作成)

5. ソフトウェア

5.1 概要

H-100のソフトウェアシステムは、H-7250、H-300のソフトウェアシステムをベースとして新たに開発したもので、2種類のシステムプログラムからなりたっている。すなわち、プログラムの作成、デバッグに使うNPMS (Non Process Monitor System) とデバッグがすんだ制御用プログラムを管理して、制御システムを能率よく動かすのに用いるPMS (Process Monitor System) とで構成される。また、PMSは外部メモリ(磁気ドラム)の有無によりPMS1とPMS2のレベルに分かれている。このほか、H-100のプログラムの作成、デバッグにH-7250を用いて能率よく行なうため、H-7250/H-100シミュレータを開発した。図11はNPMSとPMSのシステム構成を示したものである。

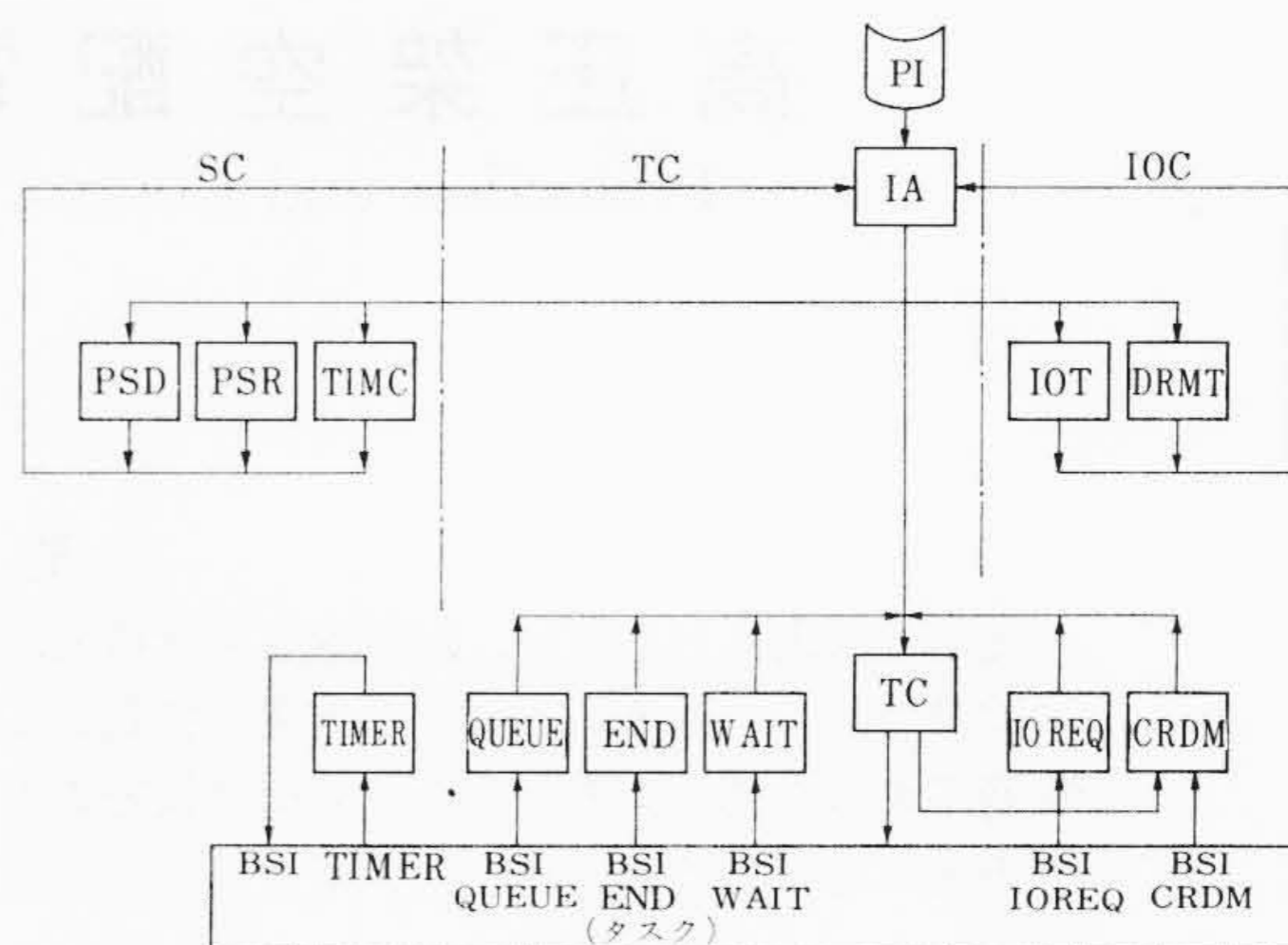
5.2 NPMS

アセンブラは、特に小形の機器構成(最小システムでCPUのコアメモリは2k語)でも使えるよう、2パス方式としてある。アセンブラ言語は、マシン命令と、アセンブラ命令の二つのステートメントからなり、後者は、ソースプログラムのチェック、記録、ストレージアドレスの割当の制御、データストレージフィールドの定義、およびアセンブラプログラム自身の制御などの機能を持っている。シンボリックローダは、シンボルで書いた命令語をパターンに直し、指定されたコアエリアに格納するものであるが、アセンブラよりコアメモリの所要容量が小さく、使用方法が簡単であることから簡単なプログラムの作成、あるいは修正に適している。シンボリックローダ言語は、マシン命令とシンボリックローダ命令の二つのステートメントからなり、後者はストレージアドレスの割当の制御、データおよびストレージフィールドの定義、シンボリックローダプログラム自身の制御などの機能を持っている。次に、デバッグ用のプログラムとしては、トレーサ、メモリダンプ、また、ライブラリには、各種のサブルーチンを備え、プログラム作成とデバッグの容易化を図った。

5.3 PMS

H-100のPMSには、すでに述べたように、PMS1とPMS2があり、おのおのの最小機器構成は次のとおりである。

PMS1 CPU (コアメモリ 2k語)
データライタ



- | | |
|-------------------|-------------------|
| SC: システムコントロール | IOT: I/O 割込処理ルーチン |
| TC: タスクコントロール | DRMT: ドラム割込処理ルーチン |
| IOC: I/O コントロール | TIMER |
| PI: 割込 | QUEUE |
| IA: 割込要因分析ルーチン | END |
| PSD: 停電割込処理ルーチン | WAIT |
| PSR: 復電割込処理ルーチン | IOREQ |
| TIMC: タイマ割込処理ルーチン | CRDM |
- } マクロ命令

図12 PMS 構成図

PMS2 CPU (コアメモリ 4k語)
ドラムメモリ (16k語)
データライタ

PMS1, 2ともに、制御システムの動きを握し、多くの制御用プログラム(タスク)の流れを制御するタスクコントロールと、I/Oの制御を行なうI/Oコントロール、および停電、タイマなどの処理をするシステムコントロールで構成されている。タスクには、それぞれ優先順位に従ってプログラム番号がつけられ、タスクコントロールは、優先度の高いものから自動的に処理する。したがってユーザーは、タスク間の相互関係にわずらわされることなく、おのおののタスクを個別にプログラムできる。タスクは次のいずれかの場合に起動する。

- (1) 外部からの割込み
- (2) タイマからの割込み
- (3) ほかのタスクからの起動要求

I/Oコントロールは、H-100の標準I/Oを制御するもので、I/O個別に新たにプログラムを作る必要はない。次にシステムコントロールは、おもに停電、復電、タイマに関する処理を行なうものである。停電あるいは、復電時には割込みが発生し、システムコントロールは、制御の主体を異常処理ルーチンに渡す。また、タイマ処理は、ハードウェアタイマ(100m秒, 200m秒, 500m秒, 1秒のいずれか)をベースにしてソフトウェアタイマとして計時を行なうものである。

以上述べたPMSの構成を図12に示す。

6. 結 言

以上、HIDIC 100システムの概要について述べた。本システムはすでに各分野に適用されて、所期の成果をあげつつある。今後は信頼性に関するフィールドデータの集積、生産性の向上等により、よりいっそう信頼性が高く、経済性にすぐれたシステムとするよう努力を重ねていく所存である。最後に、本計算機システムの開発にあたり、種々のご助言とご協力をいただいた関係者各位に、深甚の謝意を表する次第である。

参 考 文 献

- (1) 森田: 火力発電, 18, 943 (1967-10)
- (2) 曾我, 三浦: 制御工学 Vol. 11, No. 2
- (3) 森田, 藤木: 日立評論 創刊 50周年記念号
- (4) 森田, 曾我: 日立評論 51, 153 (昭44-2)