

第2章 JFET, MOSFET, MESFET, CMOS など

FET を理解しよう

渡辺 明禎
Akiyoshi Watanabe

FETは米国ベル研究所のショックレー(William B. Shockley)が接合型トランジスタを発明した翌年の1952年に着想したもので、1953年に同研究所のデシー(G. C. Dacey)とロス(I. M. Ross)によって初めて接合型FETが試作されました。これが1960年に同研究所のカーング(Dawon Kahng)とアタラ(M. M. Atalla)によるMOSFETの発明へとつながります。

パソコンのマイクロプロセッサやメモリICは、MOSFETの高集積ICですし、電気自動車のモーターを制御するのはパワーMOSFET、携帯電話にも多数使われています。

FETはトランジスタより難しい…そんな先入観を持っていますか？実はFETのほうが動作原理は単純です。本章では、そんなFETの基本的な動作原理を知ることしましょう。

〈編集部〉

FET

■ 別名ユニポーラ・トランジスタ

FETとは電界効果トランジスタ(Field Effect Transistor)の略称です。電気伝導に関与するのが、Nチャネル型の場合は電子だけ、Pチャネル型の場合は正孔だけなので、別名「ユニポーラ・トランジスタ」(unipolar transistor)とも呼ばれます。後述するトランジスタは、電子/正孔ともに動作に関与するので、バイポーラ・トランジスタ(bipolar transistor)とも呼ばれます。FETは小信号から大電力まで、さまざまな分野で使われています。

■ ゲート構造による三つの分類

FETをゲート構造から大別すると、

- (1) 接合型
- (2) ショットキー型
モス
- (3) MOS型

に分類できます。なかでもMOSFETは、^{シモス}CMOSによる集積化と高速化が飛躍的に進歩し、非常に重要なデバイスとなっています。

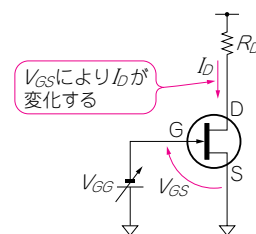
■ 伝達特性の違いによる三つの動作モード

基本的な電界効果トランジスタは、図2-1に示すように、ゲート(Gate)、ソース(Source)、ドレイン(Drain)の三つの電極があり、ゲート-ソース間に加える電圧 V_{GS} によってドレイン-ソース間に流れる電流 I_D を制御できる素子です。

伝達特性に注目して分類すると、図2-2に示す三つの動作モードがあります。

図2-2(a)が^{depletion}ディプリーション・モードで、ゲート-ソース間のバイアス電圧の絶対値が大きくなるにつれ、ドレイン電流が減少していきます。このモードの場合、正の V_{GS} を加えるとゲート電流が流れてしま

〈図2-1〉FETの動作



Keywords

電界効果トランジスタ、ユニポーラ・トランジスタ、ディプリーション・モード、エンハンスメント・モード、静特性、ソース共通回路、ゲート共通回路、ドレイン共通回路、ピンチ・オフ電圧、カット・オフ電圧、ゲート・ピンチ・オフ電圧、空乏層、反転層、蓄積層、ショットキー接触、金属-半導体接触、フェルミ準位、スレッショルド電圧、順方向伝達アドミタンス、 Y_{fs} 、相互コンダクタンス、 g_m 、 C_{iss} 、 C_{rss} 、カスコード接続、ミラー効果。

い、素子を破壊してしまうことがあります。

図2-2(b)に示す^{enhancement}エンハンスメント・モードは、 V_{GS} の値を大きくしていくにつれてドレイン電流が増加します。 $V_{GS}=0\text{V}$ にすると I_D を非常に小さくできるので、CMOSロジックICなどのスイッチング素子としてよく使われます。

また図2-2(c)に示すように、ディプリーション・モードとエンハンスメント・モードの両方で動作できるFETもあります。

JFET

概要

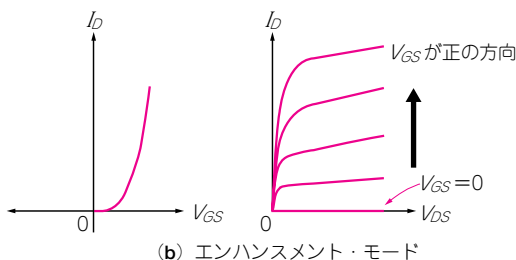
JFETは、接合型電界効果トランジスタ(Junction FET)の略称です。ドレイン-ソース間に流れる電流の制御に、第1章で説明したPN接合を使ったトランジスタです。

表2-1を見てください。Nチャネルの場合、P型基板の中にN型層、P型層を形成します。ゲートはP型層、ソース、ドレインはN型層からそれぞれ取り出します。各端子に何ら電圧が加えられていない場合、図のようにゲート直下にPN接合による「空乏層」が形成されています。

図記号の矢印の向きは電流が流れる方向(順方向バイアスの方向)を示しています。しかし、FETはゲートに電流が流れない領域で使うデバイスなので、ゲート-ソース間にかける電圧は逆バイアスで使うことを忘れないでください。

静特性で最もよく使われるのは、表に示す V_{GS} をパラメータとした V_{DS} - I_D 特性です。この特性からFETの動作時の状態を知ることができます。

使用例は、ソース共通型増幅回路で、FETを使うための基本回路です。これがマスタできれば、ほかの増幅回路も理解できるようになります。ソース共通で使う場合、負荷抵抗 R_L に流れる電流 I_D をゲート-ソース間に逆バイアスで加えた電圧 V_{GS} により制御します。このとき、 R_L から得られる出力電圧は入力電圧より大きくなります。



動作状態

図2-3にJFETの動作状態を示します。JFETの V_{DS} - I_D の静特性にしたがい、動作状態を説明します。ただし、実際はP型層にも空乏層は形成されていますが、簡単化するために省略し、N型層の空乏層だけに着目します。

● $V_{GS}=0\text{V}$ の場合

特性の一番上のカーブをみてください。A点ではゲート直下に空乏層ができており、 V_{DS} の増加とともに、この空乏層は広がっていきます。しかし、N型層内に電流が流れるパスが残っているため、 V_{DS} の増加とともに I_D も増えていきます。

V_{DS} をさらに増加したB点で、空乏層はN型層に達してしまい、N型層に電流パスは存在しません。ダイオードの場合、接合面にできた空乏層は電流を流すことができない絶縁層として説明してきました。ということはFETの場合も、空乏層がチャネル層いっぱいに達すると電流が流れなくなってしまうのでしょうか？ ソース-ドレイン間にできた空乏層は、実際には電極Dの近くで、ごく一部がソース-ドレイン間を空乏化しているにすぎません。したがって、ドレイン電流は流れることができます。このときの現象を「ピンチ・オフ」と呼び、この V_{DS} の値を「ピンチ・オフ電圧」と呼びます。

さらに V_{DS} を大きくすると(C点)、空乏層はドレイン側に広がっていきますが、 I_D はほとんど変化しません。このように、 V_{DS} を大きくしても I_D がほとんど変化しないような静特性は「5極管特性」とも呼ばれます。

〈図2-2〉伝達特性によるFETの分類

