



ホワイトペーパー

バリアブル SMP –

低消費電力と高性能を両立させる

マルチコア CPU アーキテクチャー

目次

0B はじめに	3
1B 主なモバイル・ユースケースに最適化.....	3
7B シリコンプロセスと、消費電力および周波数に対するその影響.....	4
2B バリアブル対称型マルチプロセッシング.....	6
8B 低消費電力のコンパニオンコア.....	6
9B オペレーティングシステムに対して透過的な実装.....	8
10B 処理負荷に基づくダイナミックな CPU コアのオン・オフ.....	9
3BvSMP アーキテクチャーのメリット	10
11B アーキテクチャーに関する課題とソリューション.....	10
4B バリアブル対称型マルチプロセッシングの省電力性.....	11
5B デュアルコアに対するクアッドコアの省電力性.....	12
5B デュアルコアに対するクアッドコアの省電力性.....	12
6B まとめ	14
文書履歴.....	16

はじめに

2011年2月、NVIDIAは、世界初のクアッドコア・モバイル・プロセッサとなるプロジェクト Kal-EI モバイル・プロセッサのデモを行い、世界に発表しました。プロジェクト Kal-EI をモバイル機器に採用すると、新しいアプリケーションや新しい体験、今まで以上に堅牢なマルチタスク、高品質のゲーム、すばやいウェブブラウジングなどを実現できます。その上、バッテリー寿命も長くなります。プロジェクト Kal-EI では、デュアルコアやシングルコアのプロセッサよりも多くの作業をこなしつつ、CPU コアの動作周波数を低く抑えることができるからです。

今後はクアッドコア化が正しい方向だと他社も考え、クアッドコアのモバイルプロセッサの製品ラインが次々と発表されました。CPU コアを増やせば、さまざまなユースケースにおいてパフォーマンスを高めて消費電力を下げられるのは事実ですが、それを更にどこまで追及できるかは関連する技術力によって大きく異なります。

NVIDIA のプロジェクト Kal-EI プロセッサには、まったく新しい考え方の**バリエーション対称型マルチプロセッシング (vSMP)** テクノロジーが搭載されています。今まで明らかにされていみせんでしたが、vSMP には、アクティブ・スタンバイ・モードのタスクや音楽再生、さらに動画再生でも低い周波数で実行できる特殊な低消費電力シリコンプロセスで作られた 5 番目の CPU コア（「コンパニオン」コア）が使用されています。メインとなる 4 個の「クワッド」コアは標準のシリコンプロセスで作られており、多くのタスクでデュアルコア・ソリューションよりも消費電力を抑えつつ、高い周波数で高速動作することができます。CPU コアは 5 個とも同じ ARM Cortex A9 ベースの CPU であり、処理負荷に応じて（アグレッシブ・パワーゲーティングで）オン・オフできます。現在の非同期 SMP アーキテクチャーとは違い、この「コンパニオン」コアは OS に対して透過的です。すなわち、OS もアプリケーションもこのコアの存在を意識せず、自動的に活用するのです。このようにした結果、ソフトウェア側で行わなければならないこともコーディングの要件追加も大幅に削減されました。

主なモバイル・ユースケースに最適化

モバイルのユースケースを調べた結果、多くのモバイル機器でアクティブ・スタンバイ状態が 80% を占めており、高い処理性能を要求するモバイル・アプリケーションは 20% のみであることがわかりました。

モバイル機器の状態というのは、まず、ポケットの中や机の上で「アクティブ・スタンバイ」状態にある場合、すなわち、ユーザーが積極的に使っておらず、プロセッサはバックグラウンド・タスクを処理しているか、あるいは、ユーザーのインタラクションを必要としない低負荷のアプリケーションを処理している場合があります。もうひとつ、ユーザーが機器を使用している場合、すなわち、ウェブを見る、電子メールをチェックする、ゲームで遊ぶ、マルチメディア・アプリケーションを走らせる、メディアファイルを再生するなどの場合があります、こちらは CPU コアが 1 個あるいは複数個、高い周波数のレンジで動作する必要があります。

ここで注意すべきなのは、機器がアクティブ・スタンバイ状態にあっても、電子メールの同期、ソーシャルメディアの同期、ライブの壁紙、アクティブなウィジェット

など、バックグラウンドでさまざまなタスクが実行されているという点です。このようなタスクであれば、CPU コア 1 個をかなり低い周波数で動かせば事たります。バックグラウンド・タスクについては、処理さえされており、バッテリー寿命を大きく縮めることがなければ、その処理速度をユーザーが気にすることはまずありません。

アクティブ・スタンバイ状態でモバイル・プロセッサの消費電力を最小限に抑えれば、バッテリー寿命を大幅に伸ばすことができます。



図 1. アクティブ・スタンバイ状態の機器でよく実行されているバックグラウンド・タスク

シリコンプロセスと、消費電力および周波数に対するその影響

シリコンデバイスの消費電力は、リークとスイッチング電力の合計となります。リーク電力が決まる主因はシリコンプロセス技術、スイッチング電力が決まる主因はシリコンプロセス技術と動作の電圧および周波数です。

シリコンデバイスのスイッチング電力は動作周波数に比例しますし、また、こちらのほうがさらに重要なのですが、動作電圧の 2 乗に比例します。

$$\begin{aligned} \text{総消費電力} &= \text{リーク電力} + \text{スイッチング電力} \\ \text{スイッチング電力} &\propto \text{周波数} \times \text{電圧}^2 \end{aligned}$$

シリコンデバイスが限界に近い周波数で動作しているときは、そのスイッチング電力がデバイスの総消費電力を左右しますし、デバイスがアイドル状態やアイドルに近い状態で動作しているときは、総消費電力のかなりの部分をそのリーク電力が占めます。

高速プロセスのトランジスタはリーク電力は大きいですが、通常の電圧レベルで高速スイッチングが可能です。そのため高速プロセスで作った CPU コアは（図 2 の CPU A）、アイドル状態やアクティブ・スタンバイ状態でリーク電力が大きくなりますが、動作電圧をそれほどあげなくても高い周波数で動作できます。

低消費電力（LP）プロセスのトランジスタはリーク電力が小さくなりますが、通常の電圧レベルにおけるスイッチング速度が遅くなり、スイッチング速度を高めるためには（つまり高い周波数で動作させるためには）通常よりも高い範囲まで電圧をあげる必要があります。

LP プロセスで作った CPU コアは（図 2 の CPU B）、リーク電力が小さくなりますが、非常に高い周波数で動作させるためには通常よりも高い電圧が必要となります。つまり、スイッチング電力が非常に大きくなってトータルの消費電力が増大するとともに熱の問題が発生します。

これをごく簡単にまとめると以下のようになります。

高速プロセス = 高い周波数での動作に最適化されているがリーク電力が大きい

LP プロセス = 低い周波数ではリーク電力が小さい

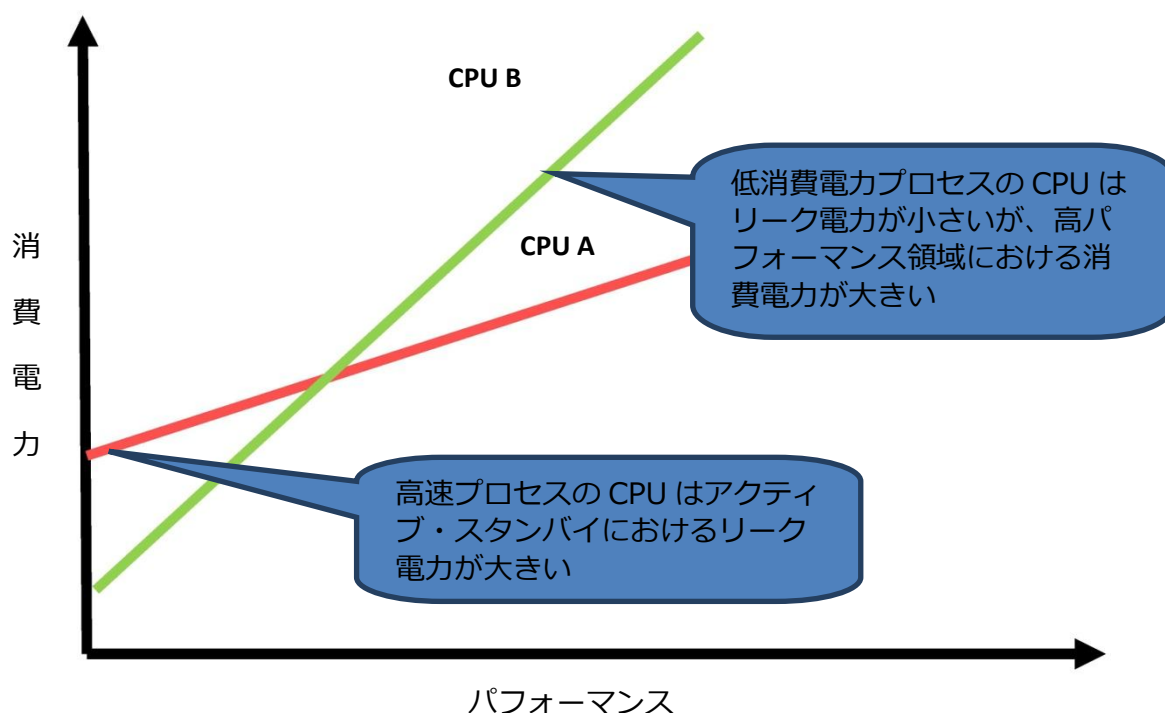


図 2. モバイル CPU の電力とパフォーマンスの関係

最近ではモバイルで高いパフォーマンスを要求されるユースケースが急速に増え、同時にバッテリーの長寿命化が求められていることから、アクティブ・スタンバイ時の消費電力とスイッチング消費電力の両方を最小化できる CPU コアとするのが困難となりつつあります。この高性能と低消費電力を両立できるように最適化できる可能性を持つのが、前述した両方のシリコンプロセスを組み合わせせた SoC（システム・オン・チップ）です。

バリエブル対称型マルチプロセッシング

NVIDIA のプロジェクト Kal-EI は**バリエブル対称型マルチプロセッシング (vSMP)** テクノロジーを搭載した世界初のモバイル用 SoC デバイスで、アクティブ・スタンバイ状態における消費電力を最小限に抑えられるだけでなく、オンデマンドで最大のクアドコア・パフォーマンスも提供できます。プロジェクト Kal-EI にはメインの CPU コアとなる高性能な Cortex A9 が 4 コア搭載されると同時に、低消費電力でリーク電力の小さな 5 個目の Cortex A9 CPU コアが用意されています。5 個目は「**コンパニオン**」CPU コアと呼ばれ、アクティブ・スタンバイにおける消費電力を最小限に抑えられるように最適化されており、高い処理能力を必要としないタスクの処理を担当します。

プロジェクト Kal-EI にはこのほか、アプリケーションと動作環境に応じて処理負荷をメインコアとコンパニオンコアに振りわけ、インテリジェントに管理する vSMP テクノロジー（特許取得済み）も搭載されています。この管理は NVIDIA の DVFS（ダイナミック電圧・周波数スケーリング）と CPU ホットプラグ管理ソフトウェアがおこなうため、オペレーティングシステムを対応させる改造は不要です。

低消費電力のコンパニオンコア

コンパニオンコアは低消費電力（LP）プロセス技術で設計されている以外、メインの Cortex A9 CPU コアと同じ内部アーキテクチャーになっています。低パフォーマンスの範囲（および周波数）に合わせた LP プロセスを採用した結果、高速プロセス技術によるメインの CPU コアよりも消費電力が少なくなっています。プロジェクト Kal-EI で消費電力とパフォーマンスの関係を測定したところ、動作周波数が 500MHz よりも低い範囲でコンパニオンコアは 1 ワットあたりのパフォーマンスがメインコアよりも高くなると確認されたので、コンパニオンコアの動作周波数は最大が 500MHz までに設定されています。プロジェクト Kal-EI に搭載されたコンパニオンコアと 4 個のメインコアの比較を表 1 に示します。

	消費電力に最適化したコンパニオン CPU コア	パフォーマンスに最適化したメイン CPU コア
アーキテクチャー	Cortex A9	Cortex A9
プロセス技術	低消費電力（LP）	標準/高速（G）
動作周波数範囲	0MHz～500MHz	0MHz～上限 GHz

表 1. コンパニオンとメインの CPU コア比較

コンパニオンコアを使うのは、基本的に、モバイル機器がアクティブ・スタンバイ状態にあり、電子メールの同期、Twitterの更新、Facebookの更新といったバックグラウンド・タスクを実行しているときです。オーディオのストリーミング、オフライン・オーディオ、オンラインあるいはオフラインの動画再生など、あまり高いCPU処理能力を必要としないアプリケーションにもコンパニオンコアが使われます。なお、オーディオや動画の再生、動画のエンコーディングなどは、ほとんど、ハードウェアベースのエンコーダとデコーダが処理します。

コンパニオンコアと異なり、メインのCPUコアは非常に高い周波数で動作し、高い性能を提供する必要があります。そのため、低めの動作電圧範囲で非常に高い動作周波数までスケールアップできるように、高速プロセス技術で作られています。つまり、メインコアの場合、スイッチング消費電力を大幅に増やすことなく高い性能が提供できるのです。

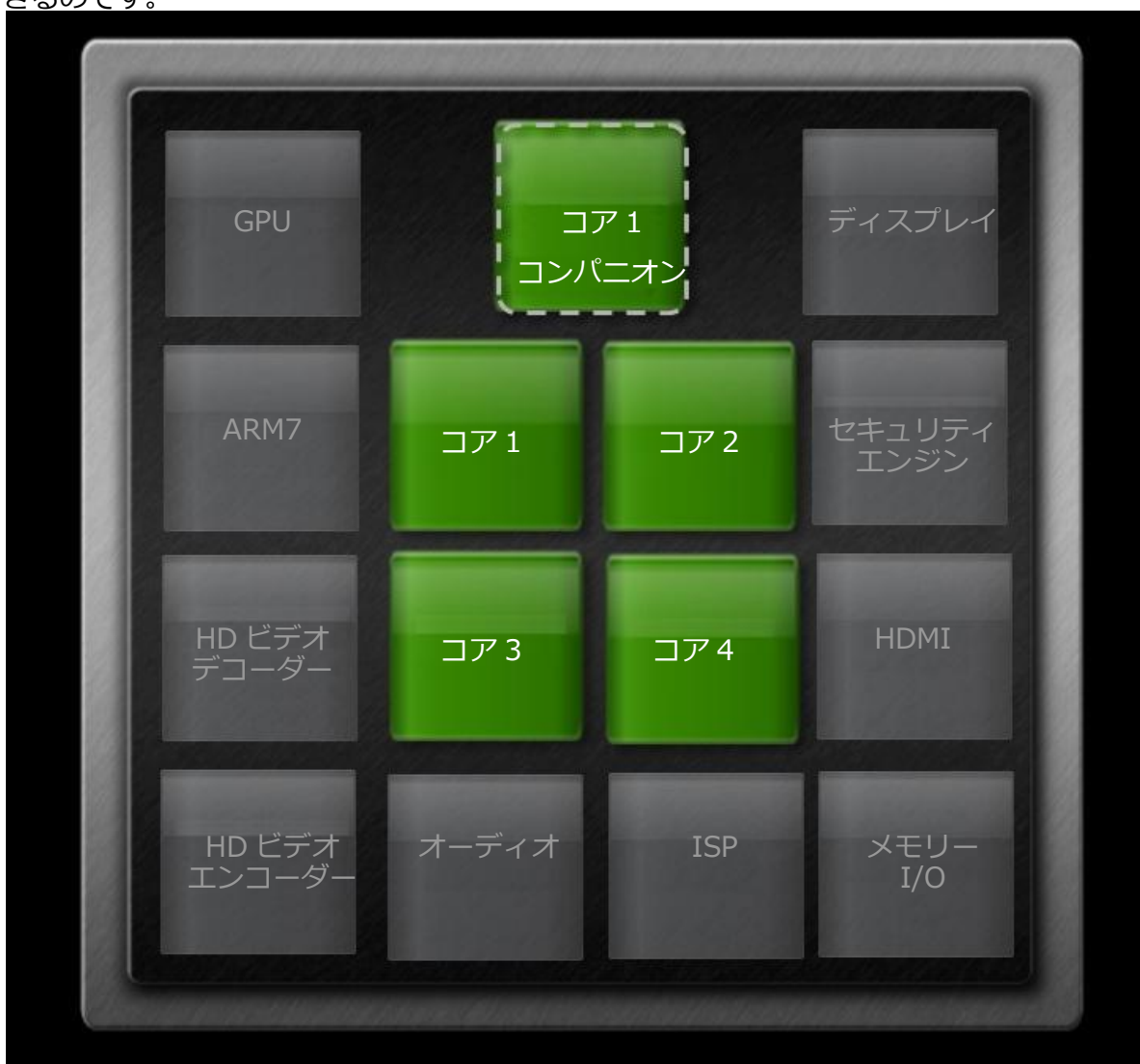


図 3. プロジェクト Kai-EI に搭載された低消費電力のコンパニオン CPU

パフォーマンスに最適化されたメインコアと消費電力に最適化されたコンパニオンコアを組み合わせるため、バリエーション型マルチプロセッシング技術は、アクティブ・スタンバイ状態の消費電力をごく小さなレベルに抑えられるだけでなく、ゲーム、ウェブ・ブラウジング、Flash メディア、テレビ会議など、高いパフォーマンスを必要とするモバイル・アプリケーションにはオンデマンドでピークのクアドコア・パフォーマンスを提供できます。

vSMP 技術は、図 2 に示したパフォーマンスに最適化された CPU A と消費電力に最適化された CPU B のメリットを上手に組み合わせ、図 4 のような消費電力とパフォーマンスの関係を実現するのです。

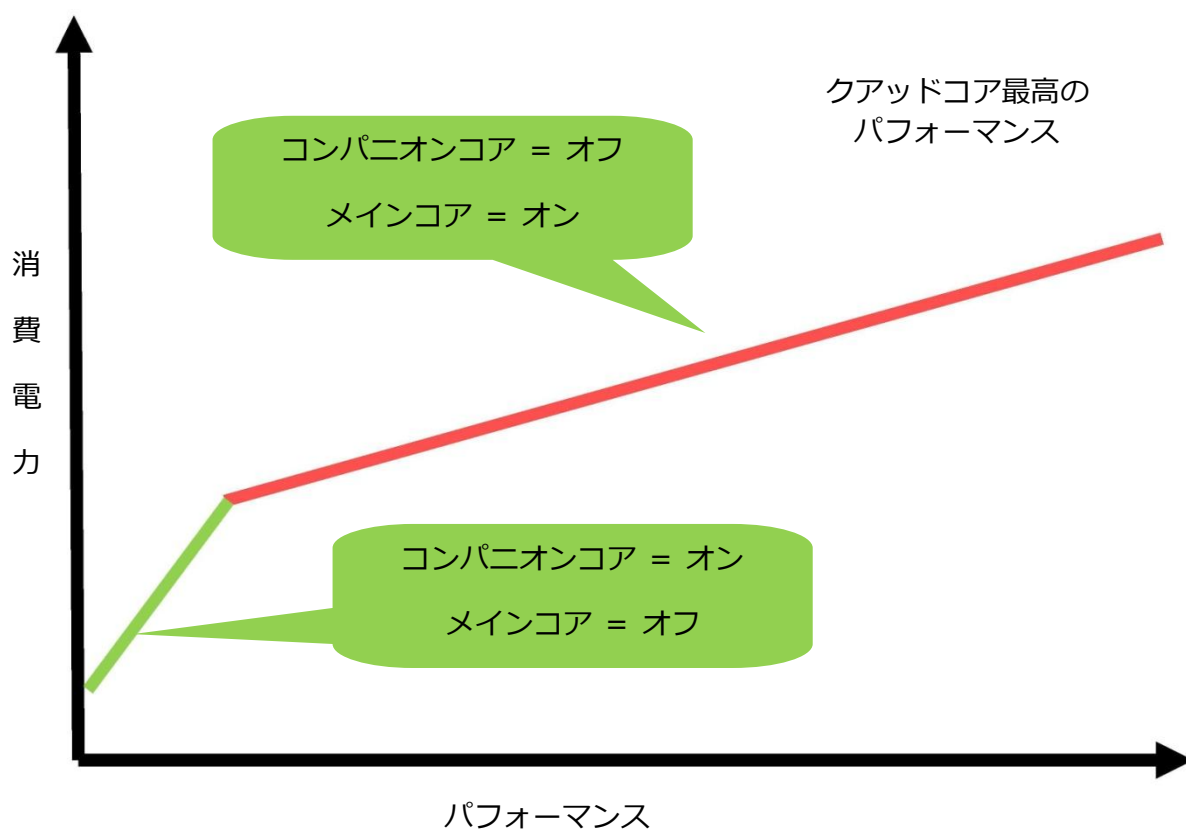


図 4. コンパニオンコアと 4 個のメインコアを vSMP 技術でを使用した場合の消費電力とパフォーマンスの関係

オペレーティングシステムに対して透過的な実装

Android 3.x (Honeycomb) オペレーティングシステムはマルチプロセッシングをサポートしており、複数 CPU コアを活用することが可能です。しかしこのオペレーティングシステムでは、利用できる CPU コアはすべて同等のパフォーマンスを持つと仮定しており、この仮定に基づいてタスクをコアに割りあてます。このような状況でコンパニオンコアとメインコアの管理をオペレーティングシステムに対して完全に透過的とするため、プロジェクト Kal-EI では、コンパニオンコアとメインとなる 4 個の CPU

コアの管理をハードウェアベースとローレベルのソフトウェアベースでおこなうようにしました。

特許を取得したハードウェアとソフトウェアによる CPU 管理ロジックでは、CPU の処理負荷を継続的に監視し、コンパニオンコアとメインの CPU コアを自動的にかつダイナミックにオン・オフします。コンパニオンコアとメインコアのオン・オフを判断する根拠は、CPU の処理負荷と、その結果、オペレーティングシステムのカーネルに組み込まれた CPU 周波数制御サブシステムが推奨してくる CPU 動作周波数とです。この技術を使うために特殊なアプリケーションや OS の改造は不要です。

処理負荷に基づくダイナミックなCPUコアのオン・オフ

コンパニオンコアがオフでモバイル・プロセッサのメインコア側が処理に使われている間は、CPU ガバナーと CPU 管理ロジックが CPU の作業負荷とメインコアごとの利用率を監視し、4 個のメインコアをひとつずつ、ダイナミックにオン・オフします。電子メール、簡単なゲーム、テキストメッセージなどのアプリケーションは、通常、4 個のメインコアのうち 1 個を使えば十分な処理能力が得られます。Flash が多用されているウェブのブラウジングや負荷の大きいマルチタスクなどの厳しいアプリケーションについては、2 個の CPU コアをオンにする場合もあるでしょう。そして、コンソールクラスのゲーム、メディアファイルの編集や制作などの場合は、4 個の CPU コア、すべてをオンとしてアプリケーションが求めるピーク性能を提供します。

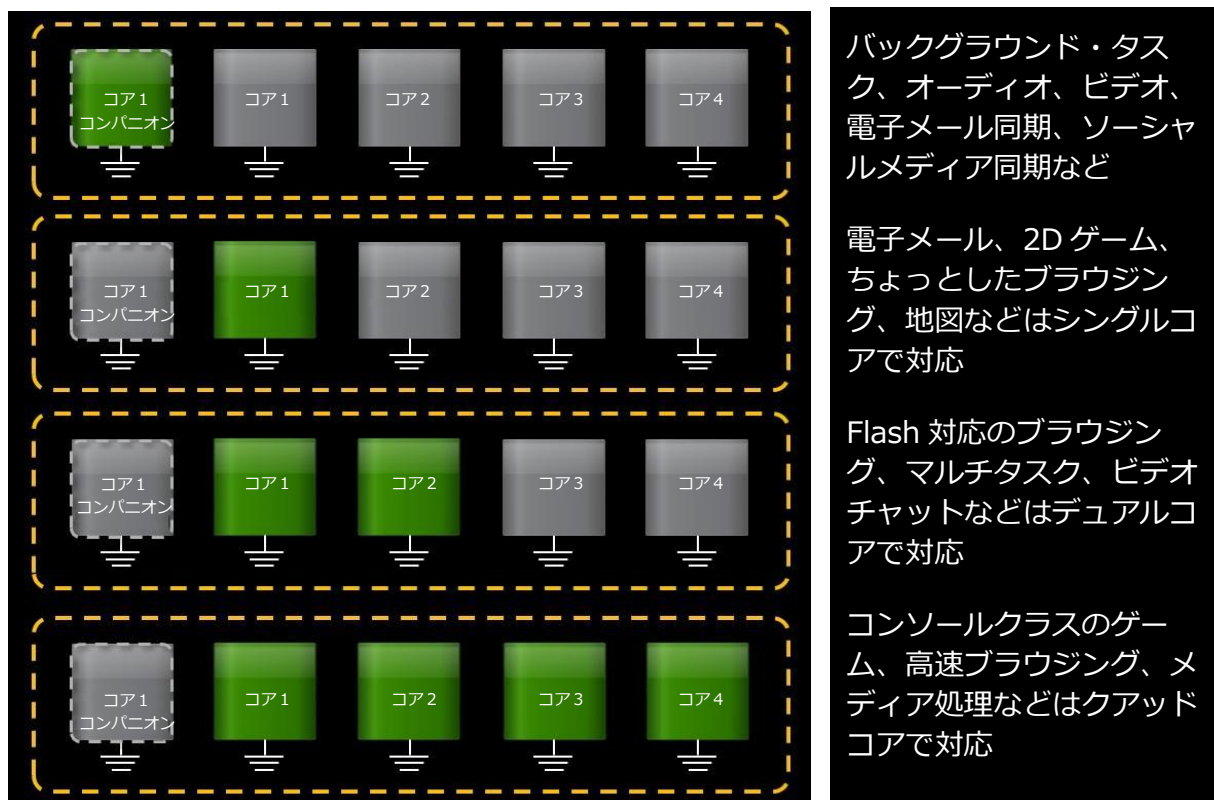


図 5. 作業負荷に応じた CPU コアの管理

vSMPアーキテクチャーのメリット

非同期クロッキングなど、ほかの種類のソリューションと比較して、バリエーション豊富なSMP技術には、アーキテクチャー的なメリットがいろいろとあります。

- **キャッシュの一貫性** – vSMP技術ではコンパニオンコアとメインコアが同時にオンとはならないため、動作周波数が異なるコア同士でキャッシュを同期する必要がなく、それによるペナルティーが発生しません。コンパニオンコアとメインコアは同じL2キャッシュを共有しますし、このキャッシュはコンパニオンコアに対してもメインコアに対してもナノ秒単位の同じ時間でデータを返すようにプログラムされています（動作周波数はメインコアの方が高いため、「コンパニオンコア・サイクル」よりも多くの「メインコア・サイクル」を使用します）。
- **OS効率** – Android OSでは、利用できるCPUコアはすべて同一でパフォーマンスもほぼ同等と仮定されており、その仮定に基づいて処理負荷のスケジューリングがおこなわれます。このとき、複数のCPUコアが異なる周波数で非同期に動作するとパフォーマンスが大きく異なるコアが存在することになり、OSのスケジューリング効率が悪化するおそれがあります。これに対してvSMP技術では、アクティブなコアはすべて動作周波数が同じ状態に保たれ、OSのスケジューリングが最適化されます。コンパニオンコアから1個あるいは2個のメインCPUコアへと切り替える場合も、CPU管理ロジックがシームレスな移行を実現し、エンドユーザーにもわからなければOSのスケジューリングにペナルティーが発生することはありません。
- **消費電力の最適化** – 非同期クロッキングベースのCPUアーキテクチャーでは、コアがひとつずつ異なるパワープレーン（電圧レールや電圧プレーンとも呼ばれる）にあるのが普通です。このような形では電圧プレーン各所の信号や電源ラインにノイズが増え、パフォーマンスにマイナスの影響が出てしまいます。また、電圧プレーンはひとつずつ電圧レギュレータを必要とするので、CPUコアを増やすスケジューリングが簡単にできないという問題もあります。電圧レギュレータが増えればBOM（部品）コストも消費電力も増えてしまいます。一方、電圧レールをすべてのコアに共通とすると、最速で動かなければならないコアと同じ電圧で残りのコアも動かなければならず、「電圧の2乗」で効く消費電力の削減効果が得られなくなります。

vSMP技術はキャッシュ同期によるペナルティーも発生しなければ異なる周波数で走るコア間のスケジュールによるペナルティーも発生しないため、非同期クロッキング技術によるアーキテクチャーよりも高いパフォーマンスが得られるのです。

アーキテクチャーに関する課題とソリューション

vSMPアーキテクチャーにはvSMPアーキテクチャーの課題が数多くありましたが、それぞれに対してユニークなソリューションを開発して対応しました。

- **切り替え時間** – vSMPでは、コンパニオンCPUコアとメインCPUコアとの切り替えでアプリケーションのロード時間が長くなったりユーザー体験に引っかかるような遅れが生じたりしないようにしなければなりません。この問題に対処するため、NVIDIAでは、切り替えを高速かつ効率的におこなえる最先端の回路とロ

ジックを実装しました。内部シミュレーションの結果、チップ内のコアを切り替える時間と（オンとなったコアに電力を供給する）電圧レールが安定するのに要する時間を含むトータルの切り替え時間は、2 ミリ秒以下と、エンドユーザーには感じられないレベルです。

- コア・スラッシング** – vSMP では、コンパニオンコアとメインコアの切り替えスレシヨールド付近で処理荷が変動したとき、頻繁な切り替えが起こらないようにする必要があります。そうしないとパフォーマンスが大幅に低下し、省電力のメリットも実質的に失われてしまいます。この問題に対応するため、CPU 管理アルゴリズムに十分なインテリジェンスとプログラム可能なヒステリシス・コントロールを組み込み、処理荷を継続的に監視して処理荷に適応し、コア間でスラッシングが起きないようにしました。

バリアブル対称型マルチプロセッシングの省電力性

vSMP 技術では、アクティブ・スタンバイ状態におけるリーク消費電力をコンパニオンコアで削減し、ピーク動作周波数におけるスイッチング消費電力は 4 個のメインコアで低く抑えて消費電力の大幅削減を実現します。ユースケースに応じて CPU コアをダイナミックにオン・オフし、できる限り少ない消費電力で必要なパフォーマンスを提供するのです。

次の図を見ると、4 種類のユースケースのすべてにおいてプロジェクト Kal-EI のほうが消費電力が少ないことがわかります。比較したのは、TSMC 40nm で製造した Tegra 2 とプロジェクト Kal-EI です。

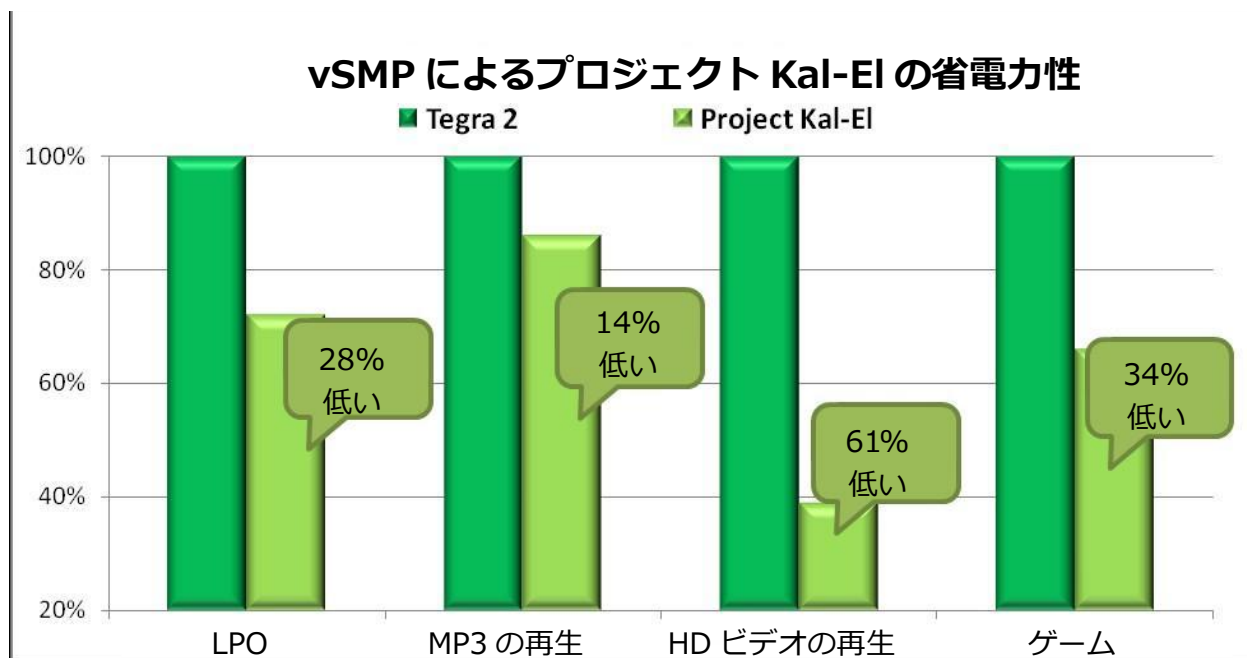


図 6. vSMP技術によるプロジェクトKal-EIの省電力性¹

¹ 消費電力は、アプリケーション・プロセッサの消費電力と DRAM の消費電力をその他のシステム変数で正規化してから合算して算出しました。LPO とは、各 Tegra デバイスの最低消費電力状態を意味します。

デュアルコアに対するクアッドコアの省電力性

vSMP 技術に加えて、電力管理という意味ではコア数が多い方がよい点も忘れてはならない重要なポイントです。たとえば、どのようなパフォーマンスにおいても、デュアルコア CPU よりもクアッドコア CPU のほうが消費電力が小さくなるのです。デュアルコア CPU よりもクアッドコア CPU のほうが低い周波数、つまりは低い電圧で同じ作業をこなせるからです。消費電力は電圧の 2 乗に比例するので、CPU の総合的な消費電力を大幅に削減しつつ、同じだけの作業をこなせるわけです。

プロジェクト Kal-EI とさまざまなデュアルコア・プロセッサで Coremark ベンチマークを実行した際の消費電力とパフォーマンス・レベルを測定した結果を表 2 に示します。Coremark は、シングルコア CPU やマルチコア CPU のパフォーマンス測定に広く使われているモバイル用ベンチマークです。以下の表を見れば明らかのように、5k ほどの Coremark 「処理」をおこなう際、パフォーマンスを同等レベルにそろえればプロジェクト Kal-EI の CPU は他のソリューションの 1/2 から 1/3 程度に消費電力が抑えられることがわかります。プロジェクト Kal-EI の動作周波数をさらに上げ、2 倍以上の Coremark 「処理」をおこなわせた場合でも、デュアルコア・ソリューションよりも少ない消費電力となっています。

モバイル・プロセッサ	測定された消費電力(mW) ²	Coremark パフォーマンス
プロジェクト Kal-EI (コアの動作周波数は 480MHz)	579	5589
OMAP4 (コアの動作周波数は 1GHz)	1501	5673
QC8660 (コアの動作周波数は 1.2GHz)	1453	5690
プロジェクト Kal-EI (コアの動作周波数は 1GHz)	1261	11667

表 2. プロジェクト Kal-EI と競合するプロセッサの消費電力とパフォーマンスの測定結果

4 個の CPU コアすべてが 1GHz で動作している状態でも、競合するデュアルコア・プロセッサよりも消費電力が少ない点は注目に値します。プロジェクト Kal-EI ではパフォーマンスに最適化した CPU コアに高速プロセス技術を採用しているため、これら 4 個のコアは競合プロセッサよりも低い動作電圧で高い動作周波数が得られるのです。スイッチング消費電力は動作電圧の 2 乗に比例しますから、プロジェクト Kal-EI は高い周波数の動作においても消費電力の大幅削減が可能となります。

² CPU の消費電力は、Coremark 中にシステムが全体として消費する電力（試験全体を平均）から OS アイドル状態のシステム消費電力を差し引き、それを CPU のみの消費電力とみなしました。なお、プロジェクト Kal-EI は、OS アイドル時もシャドウ・モードで稼働しています。測定にはプロジェクト Kal-EI レファレンス・デザインと競合するプロダクション・デバイスを使用しました。

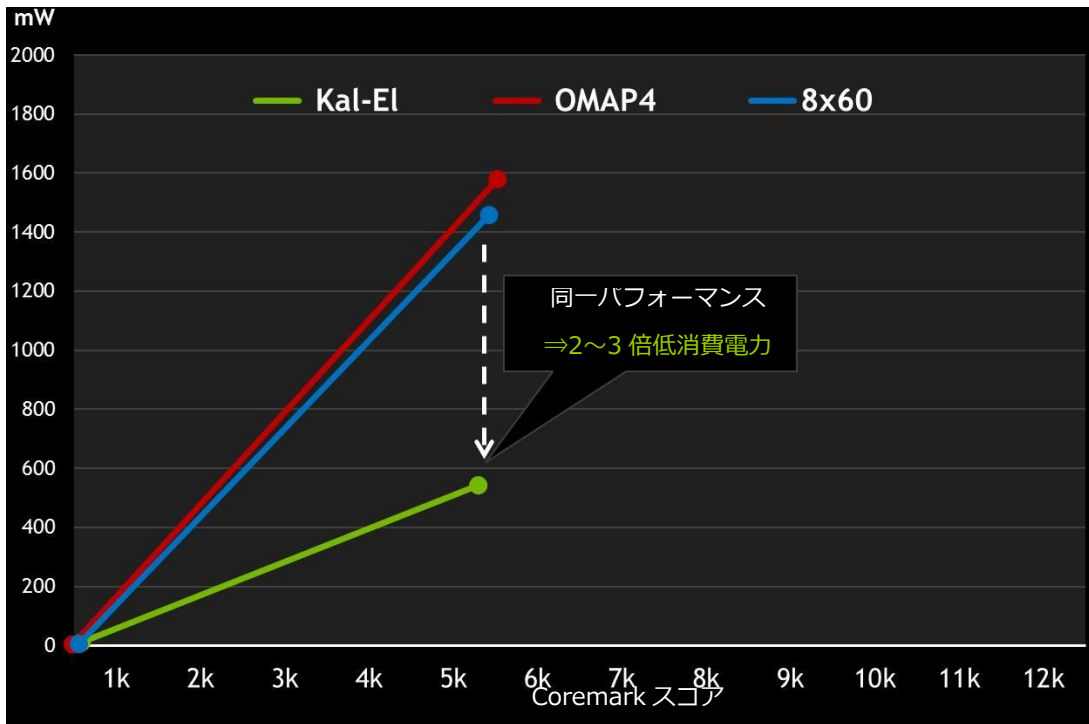


図 7. 競合するデュアルコア・プロセッサと同等のパフォーマンスを提供する場合のプロジェクト Kal-EI の消費電力

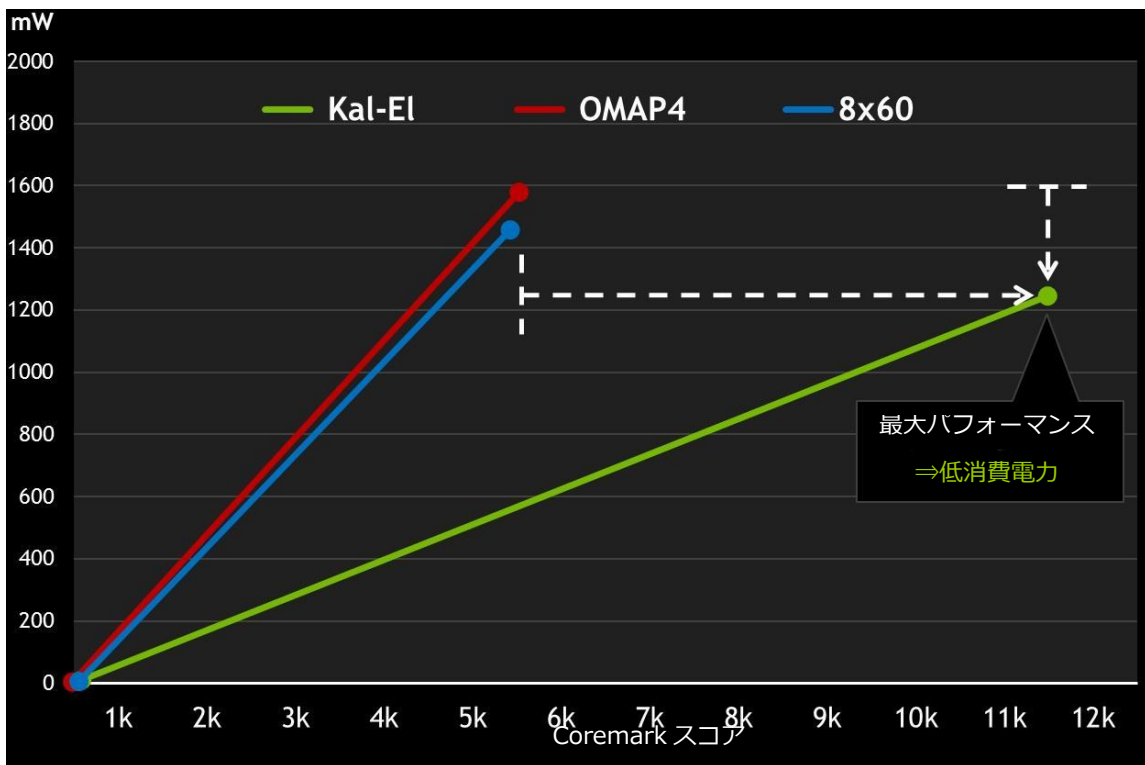


図 8. 最大のクアッドコア・パフォーマンスを発揮する場合のプロジェクト Kal-EI の消費電力

まとめ

パフォーマンスに対するモバイル・アプリケーションの要求が厳しくなるにつれ、SoCベンダーはマルチコア・プロセッサ・アーキテクチャーを採用し、高いパフォーマンスを提供するとともに、消費電力をモバイル用のバジェット内に抑える努力をしています。プロジェクト Kal-EI に搭載されたバリエーション対称型マルチプロセッシング (vSMP) 技術はアクティブ・スタンバイ状態における消費電力を最小限に抑えるのみならず、モバイル機器に求められる熱的要求内にスイッチング消費電力を抑えつつクアッドコアのパフォーマンスというメリットを提供することができます。バックグラウンド・タスク用にはコンパニオン CPU コアを使用し、高いパフォーマンスを要求するタスクにはメインコアを使用するという形で、プロジェクト Kal-EI は、あらゆるパフォーマンス・レベルにおいて競合するモバイル・プロセッサよりも消費電力を大幅に削減できます。

クアッドコア CPU とバリエーション SMP 技術の登場でモバイル機器のパフォーマンスは大きく拡大し、一般的なユースケースにおいてはバッテリーの長寿命化を実現しつつ、新たなモバイル体験を生むアプリケーションやゲームを開発することが可能になります。

モバイル機器にクアッドコア CPU を採用するメリットについては、『**モバイル機器におけるクアッドコア CPU のメリット**』と題されたホワイトペーパーをご覧ください。

付録

報告スコア用 Coremark コンパイル設定
<p>Project Kal-EI (dual core mode, each core running at 1 GHz)</p> <p>CoreMark 1.0 : 5532 / GCC4.4.1 -O3 -mcpu=cortex-a8 -funroll-loops -falign-loops=8 -fgcse-sm -fno-tree-vectorize -marm / Heap / 4:PThreads</p>
<p>Project Kal-EI (quad core mode, each core running at 1 GHz)</p> <p>CoreMark 1.0 : 11667 / GCC4.4.1 -O3 -mcpu=cortex-a8 -funroll-loops -falign-loops=8 -fgcse-sm -fno-tree-vectorize -marm / Heap / 4:PThreads</p>
<p>OMAP4430 (each core running at 1 GHz)</p> <p>CoreMark 1.0 : 5673 / GCC4.4.1 -O3 -mcpu=cortex-a8 -funroll-loops -falign-loops=8 -fgcse-sm -fno-tree-vectorize -marm / Heap / 4:PThreads</p>
<p>QC8660 (each core running at 1.2 GHz)</p> <p>CoreMark 1.0 : 5690 / GCC4.4.1 -O3 -mcpu=cortex-a8 -funroll-loops -falign-loops=8 -fgcse-sm -fno-tree-vectorize -marm / Heap / 4:PThreads</p>

表 3 報告スコア用 Coremark コンパイル設定

文書履歴

改訂番号	注記
1.0	初リリース
1.1	図 6 を正確な Y 軸の単位に更新。ゲーム用省電力の改訂によるグラフの更新。
1.2	表 2 および図 7、8 で報告されるスコア用 Coremark コンパイラ構成を含む

注記

解説、見解、NVIDIA のデザイン仕様、リファレンスボード、ファイル、図面、診断、リスト、その他のドキュメントなど、本ホワイトペーパーで提供する情報は(以下、集会的あるいは個別に「マテリアル」と呼称します)、すべて、「現状のまま」を条件に提供するものです。NVIDIA は、本マテリアルについて、明示的、暗示的、法定的を含む保証を一切行わず、また、権利の不侵害、商品性、および特定目的への適合性に関するあらゆる黙示保証を明示的に放棄するものとします。

記載された情報の正確性、信頼性には万全を期しておりますが、これらの情報の使用の結果として、もしくはこれらの情報の使用に起因して第三者の特許またはその他の権利の侵害が発生しても、NVIDIA Corporation は一切の責任を負わないものとします。暗示的に、もしくはNVIDIA Corporation が所有する特許または特許権に基づき、付与されるライセンスは一切ありません。本書に記載の仕様は予告なしに変更されることがあります。本書は、過去に提供されたすべての情報よりも優先されます。NVIDIA Corporation の製品は、NVIDIA Corporation の明示的な書面による許可なくしては、生命維持装置の重要な部品として使用することはできません。

商標

NVIDIA、NVIDIAロゴ、Tegra、CUDA、FERMI、GeForce は、米国およびその他の国におけるNVIDIA Corporation の商標または登録商標です。その他の会社名および製品名は、各社の登録商標または商標です。

Copyright

© 2011 NVIDIA Corporation. All rights reserved.