

■8群-4編-1章

1-3 CCD

(執筆著：山田哲生) [2011年2月 受領]

1-3-1 構造と動作

(1) CCDのコンセプトと動作原理

Charge Coupled Device (CCD) の基本コンセプトは、電子 (場合によっては正孔) の束 (パケット) を信号として半導体内に蓄積し、所定の位置に転送することである¹⁾。CCDの構成要素は、図1・18(a)に示すようなMetal-Oxide-Semiconductor (MOS) キャパシタである。p形のSi基板に対し、電極に正電圧 V_G を印加すると、酸化膜を挟んで直下に存在する正孔 (多数キャリア) が電極から遠ざけられ、Si表面に空乏層が形成される。このとき、電極から発した電気力線は、空乏層内のアクセプタイオン (負の空間電荷) に終端される。この状態は熱的に非平衡状態であり、電子が空乏層に注入されると、図1・18(b)に示すように電極に引き寄せられて蓄積される。これは、図1・18(c)に示すような電子のポテンシャル井戸がSi表面に形成されていることに相当する。この図は電子を液体に置き換えて表現しており、液体モデルと呼ばれて、CCDの動作説明に頻繁に用いられる。

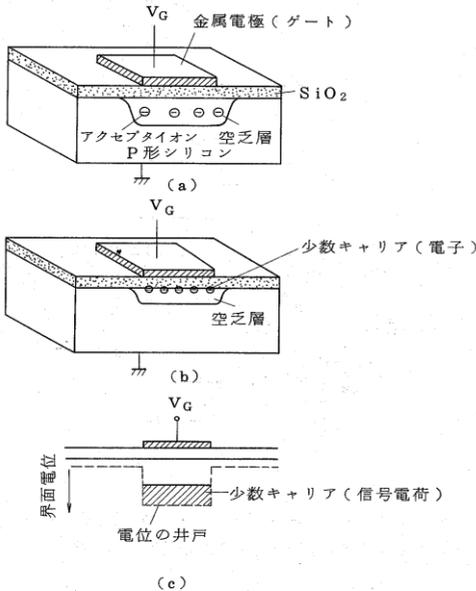


図1・18 CCDの基本要素 (MOSキャパシタ)

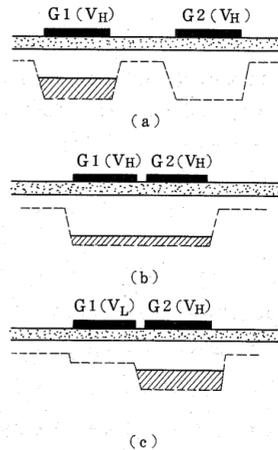


図1・19 電荷結合・転送原理

次に図1・19を用いて、2個のMOSキャパシタ間の相互作用、及び電荷転送の原理を説明する。図1・19(a)では、電極G1とG2ともに正電圧 V_H が印加され、G1直下のポテンシャル井戸は電子束が蓄積された状態、G2直下の井戸は空の状態が示されている。この場合、G1とG2が空間的に離れて形成されているため、MOSキャパシタ間の相互作用は起こらない。

次に G1 と G2 が極端に近づいている場合を考える。図 1・19(b) に示すように、各電極端から発する電気力線は相互の井戸に広がり、二つの井戸は完全に結合すると同時に G1 直下に蓄積された電子束は G2 直下まで広がって蓄積される。次に G1 電極の電圧を低電圧 V_L に変化させると、図 1・19(c) に示すように、G1 直下の井戸が浅くなり、電子束はすべて G2 直下に移動する。すなわち、電子束は G1 直下から G2 直下に転送されたことになる。更に多数の MOS キャパシタを近接して並べ、各電極に順次 V_H と V_L を印加することによって、半導体表面に沿って、自在に電子束を転送することができる。

CCD の基本コンセプトにおけるキーポイントは、電極下に存在する全電子を隣接電極下に転送することにある。これを完全転送と称する。この完全転送により、信号を電子数として、蓄積し転送することができる。電子数は電圧や電流の擾乱の影響を受けずに保存される。このため、雑音の少ない高い SN 比で信号を伝達することができる。

(2) 転送メカニズムと動作方法

電荷転送は、概ね図 1・20 に示す三つのメカニズムから成る。図 1・20(a), (b) に示すように、ポテンシャル井戸の底に電位勾配がない場合、まず同じ極性の電荷が反発し合うことで生じる自己誘起ドリフト電界が初期の転送を支配し、転送が進むにつれて、熱拡散が転送を支配する。熱拡散の時定数 τ_{th} は、次式で与えられる²⁾。

$$\tau_{th} = 4L^2/\pi^2 D \tag{1}$$

ここで、 L は電極長、 D はキャリアの拡散定数を示す。

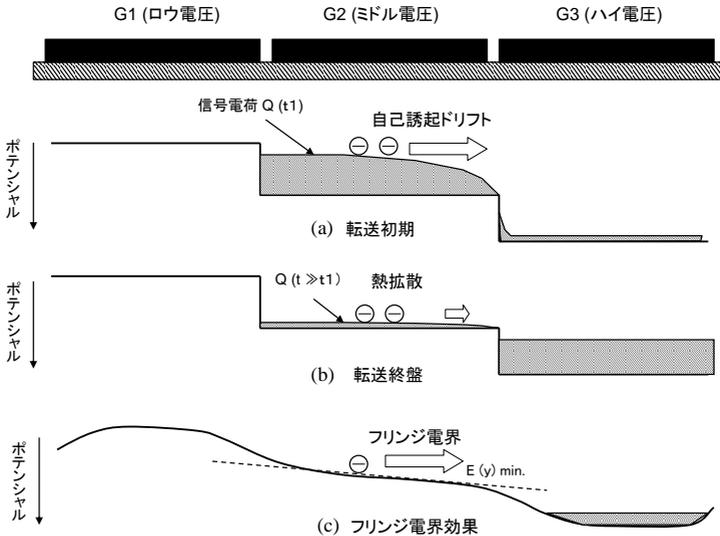


図 1・20 電荷転送メカニズム

熱拡散過程は L の 2 乗に比例して転送時間が長くなるため、 L をできるだけ短く設計するのが良い。しかし実際には、電極間電位差によるフリンジ電界 E_y が形成され、1 電極当たり

の転送時間 t_{tr} は次式で表される³⁾。

$$t_{tr} = 1/\mu \cdot \int_0^L E_y (1/E_y) dy \quad (2)$$

ここで、 μ はキャリアの移動度を示す。フリンジ電界は、電荷転送の最も重要な原動力になる。高速転送では如何にフリンジ電界を強くするかが設計のキーポイントになる。また、 L が長く、電界が電極中央部に及ばない場合には、電極の分割やチャンネル内不純物濃度勾配形成など、電位勾配を形成せしめる構造的工夫が必要になる。一般に完全転送を評価する指標として、次式で定義される転送効率 η が使用される。

$$\eta = (1 - Q_t/Q_o)^{1/N} \times 100 \quad (\%) \quad (3)$$

ここで、 Q_o は初期電荷量、 Q_t は転送された先頭の電荷量、 N は転送回数を各々示す⁴⁾。

(3) チャンネル構造 (埋め込みチャンネル)

これまで、電荷を蓄積し転送するポテンシャル井戸が Si 表面に形成され、信号電荷束は Si 表面に沿って転送されると説明してきた。これは、プロトタイプの CCD で、表面チャンネル型と呼ばれる。図 1・21 に、表面チャンネル型 CCD の電極に正電圧 V_G を印加した場合の 1 次元エネルギーバンド図を示す。Si と SiO₂ の界面にはバルク Si の共有結合の結合手が結合相手を失ったダングリングボンドが存在し、禁制帯の中に多くの界面準位を生成してしまう。このうち、特に伝導帯に近い(浅い)準位は、蓄積された電子を捕縛する。捕縛された電子は、転送が終了した後の井戸に遅れて放出されるか、あるいは正孔と結合して消滅してしまう⁵⁾。したがって、転送効率が著しく低下してしまう。

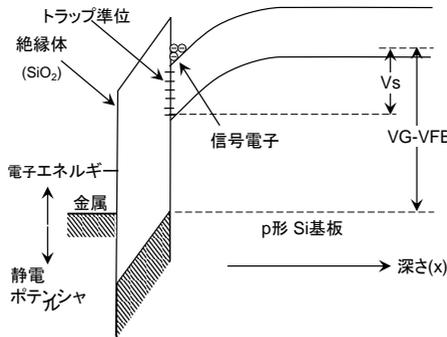


図 1・21 表面チャンネルのエネルギーバンド

この問題を解決する目的で埋め込みチャンネル CCD が導入された。図 1・22 に断面構造を示す⁶⁾。p 形基板上にチャンネルとなる n 形層を形成し、基板に対して逆バイアスすることで、n 形層を完全空乏化する。完全空乏化されたチャンネル層のポテンシャルは、酸化膜上の電極電圧 V_{GB} で制御される。この様子を図 1・23 のエネルギーバンド図で示す。図 1・23 (a) はゼロバイアス時の熱平衡状態を示し、 Φ_{pn} が拡散電位差を示す。図 1・23 (b) が完全空乏状態で、ポテンシャル井戸の底(最大電位点)が、SiO₂ 界面から離れたバルク内に存在している。図 1・23 (c) はチャンネル層に電荷が注入された状態を示し、電荷は界面から離れたバルク内に蓄積される。

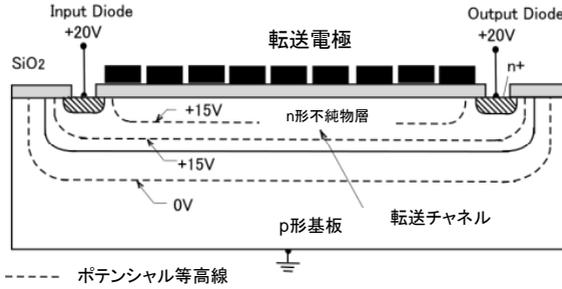


図 1・22 埋め込みチャネルの断面構造

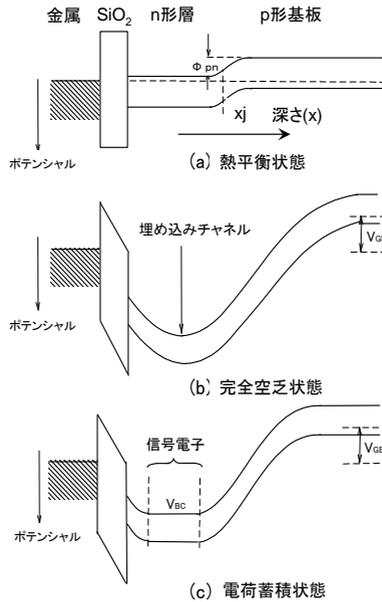


図 1・23 埋め込みチャネルのエネルギーバンド

したがって、信号電荷が界面準位にトラップされることなく、完全転送が実現できる。また、埋め込みチャネルの転送路が界面から離れたバルク内にあるため、電子の移動度が2~3倍高くなり、更にフリンジ電界も強くなる。したがって、埋め込みチャネル型は、表面チャネル型に比べて飛躍的に転送効率を高く(99.999%以上)でき、CCDのスタンダードになっている。

次に、埋め込みチャネルの性質を解析的に理解するために、図 1・24 に示す簡単な一次元モデルでチャネルポテンシャル V_B を計算してみる。計算では、図 1・24(a) のように不純物濃度が均一な埋め込みチャネル層を仮定し、かつ空乏層近似を用いて次のポアソン式を解く⁷⁾。

$$d^2V_B/dx^2 = -qN_D/\epsilon_s \quad (0 \leq x \leq x_j) \quad (4)$$

$$d^2V_B/dx^2 = qN_A/\epsilon_s \quad (x_j < x) \quad (5)$$

ここで、 N_D はn層、 N_A はp基板の不純物濃度を各々示し、 x_j はpn接合の深さ、 ϵ_s はSiの誘電率を示す。電極電圧を、 V_{GB} 、 $x = 0$ 、 x_j において電束密度は連続するとの境界条件のもとで式(4),(5)を解くと、埋め込みチャネルのポテンシャル井戸の最大電位 V_{MB} は次式で表される。

$$\sqrt{V_{MB}} = \sqrt{V_K} - [V_K + (V_{GB} - V_{FB} - V_I)(N_A + N_D)/N_D]^{1/2} \quad (6)$$

$$V_K = qN_A(N_A + N_D)(t_{OX}\epsilon_s / \epsilon_{ox} + x_j)^2 / N_D \quad (7)$$

$$V_I = qN_D x_j (2 t_{OX} \epsilon_s / \epsilon_{ox} + x_j) / 2 \epsilon_s \quad (8)$$

ここで、 V_{FB} はフラットバンド電圧、 t_{OX} 、 ϵ_{ox} はゲート酸化膜の厚さ及び誘電率を示す。

図1・24(b)と図1・24(c)は、解析に用いた電界分布とポテンシャル分布を各々示し、 $xd1$ 、 $xd2$ は V_{MB} が形成される位置を示し、 x_a はp形基板に伸張した空乏層の幅を示す。

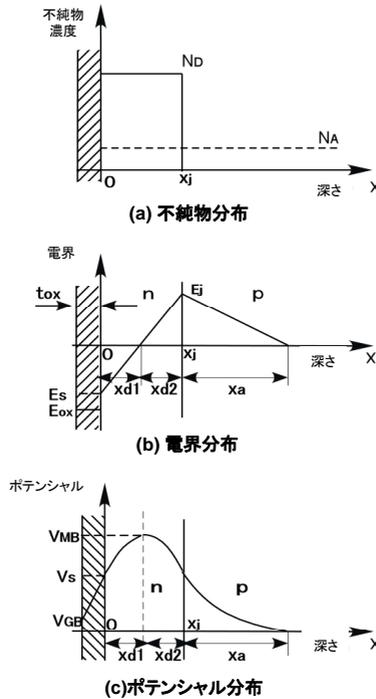


図1・24 埋め込みチャネルの1次元解析

式(6),(7),(8)を用いて、3種類の N_D に対して計算した $V_{MB}-V_{GB}$ 特性と実験結果を図1・25に示す。図の特性曲線において、 V_{GB} が $-6 \sim -7$ V付近に変曲点が存在し、より深い負のバイアス電圧に対して、チャネル電位が固定される。この変曲点は、チャネル層の表面電位が基板電位(GND)と等しくなるために現れる。すなわち、図1・26に示すようにチャネルの表面電位が基板電位より下降する状態になると、n層に隣接するp層(素子分離層など)から正孔がチャネル表面の価電子帯に注入され、電気力線を終端し、ポテンシャルプロファイルを固定する⁸⁾。この現象は価電子帯ピンニングと呼ばれ、界面準位を介して発生する表面

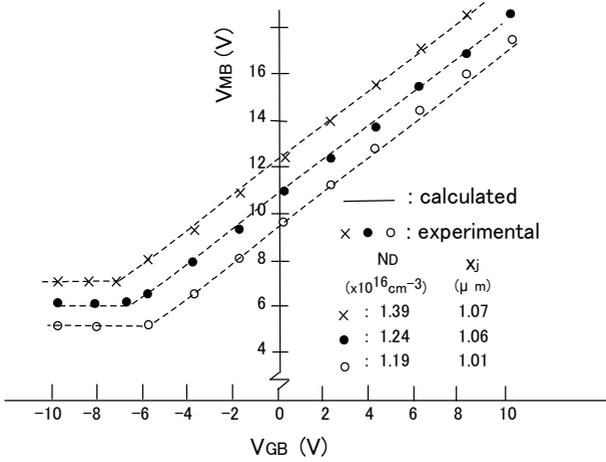
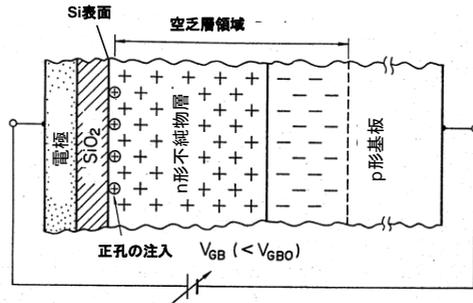
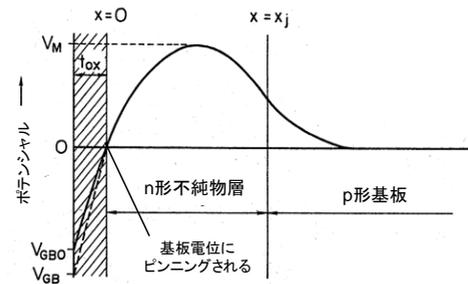


図1・25 埋め込みチャンネル電位 vs. 電極電圧



(a) 電荷分布



($V_{GB} < V_{GB0}$: ピンニング臨界電圧)

(b) ポテンシャル分布

図1・26 価電子帯ピンニングのメカニズム

生成電流 I_s (暗電流と呼ばれる熱的雑音電子) を飛躍的に抑制する効果をもつ⁹⁾。この効果は、次式によって説明できる¹⁰⁾。

$$|I_s| = -eU_s = eS_{0n} n_i^2/p_s = (eS_{0n} n_i/2) \times (2n_i/p_s) \quad (9)$$

ここで、 U_s は表面生成率、 S_{0n} は表面生成速度、 p_s は表面近傍の正孔密度を示し、 $n_i^2 \gg p_s n_s$ の熱的非平衡状態を仮定している。式(9)の $eS_{0n} n_i/2$ は表面空乏化暗電流を示し、 $2n_i/p_s$ はその抑圧ファクタとなる。例えば、ピンニングの臨界電極電圧 V_{GB0} から、更に 1 V 負にバイアスすると、 p_s は 10^{17} 以上になり、 $2n_i/p_s$ は室温で 10^{-7} 程度になる。すなわち、暗電流は完全に無視できる量に減少する。この特長は後述のイメージセンサに活用され、雑音低減に寄与している。

(4) 代表的 CCD の構造と動作

ここでは、代表的 CCD として、2 相駆動 CCD と 4 相駆動 CCD を取り上げる。図 1・27(a) に、2 相駆動 CCD の断面構造を示す。電極材料としては、一般に P (リン) ドープされたポリシリコンを用い、1 層目のポリシリコン電極 (蓄積電極) を形成した後、電極間の n 形埋め込み層に低濃度の p 形不純物をドープして相対的に低濃度化する。ポリシリコン電極上を薄い酸化膜で被覆した後、2 層目のポリシリコン電極 (転送電極) を形成するいわゆる 2 層ポリシリコン重ね合わせ構造が用いられる¹¹⁾。CCD の転送にとって重要な電極間キャップをポリシリコン側壁の酸化膜厚で制御できるので、容易に 100 nm 以下にすることができる。図示のように蓄積電極と転送電極を一対にして共通配線することで、実質 1 電極として機能せしめ、1 電極おきに 2 相転送パルス Φ_1 、 Φ_2 を供給する。

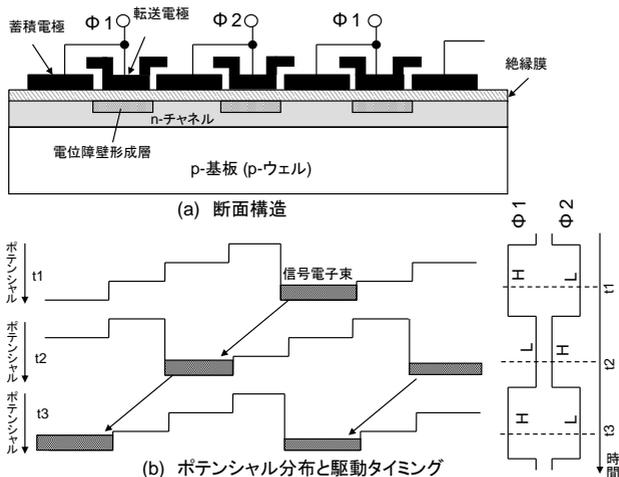


図 1・27 2 相駆動 CCD

図 1・27(b) にチャンネルポテンシャルプロファイルおよび駆動タイミング図を示す。 Φ_1 、 Φ_2 電極下には、n 層の実効不純物濃度に応じたポテンシャル段差が形成される。この段差は

電荷が逆転送されることを防ぐ。そのため、2相転送パルスの波形が多少乱れても、正常に電荷を転送できる。2相駆動 CCD の最大転送電荷量は、このポテンシャル段差と蓄積電極面積とで決定される。

図 1・28(a)に、4 駆動 CCD の断面構造を示す。電極には 2 層ポリシリコン重ね合わせ構造が用いられるのが一般的である。2 相構造との違いは、4 電極を 1 転送段として、 Φ_1 、 Φ_2 、 Φ_3 、 Φ_4 の 4 相転送パルスが供給される点と、n 形チャンネル層の不純物濃度が均一でよい点にある。したがって、蓄積電極と転送電極の区別がない。

図 1・28(b)にチャンネルポテンシャルプロファイルと駆動タイミング図を示す。図示のように H レベルにある Φ_1 、 Φ_2 の 2 電極下に蓄積された電荷は、転送方向に隣接する Φ_3 電極を H レベルに変化させることで、 Φ_3 電極下にも広がって蓄積される。続いて Φ_1 電極を L レベルに変化させることで、 Φ_2 、 Φ_3 電極下に転送される。この動作を繰返すことで、図の左方に電荷を転送できる。この場合、最大転送電荷量は 2 電極の面積と転送パルスの振幅で決定される。すなわち、4 電極中 2 電極が蓄積に寄与するので、転送電荷密度を数倍大きく設計できるので、転送路の高集積化には有利である。4 相駆動の考え方は、6 相や 8 相など 3 相以上のパルス駆動に拡張できる¹²⁾。

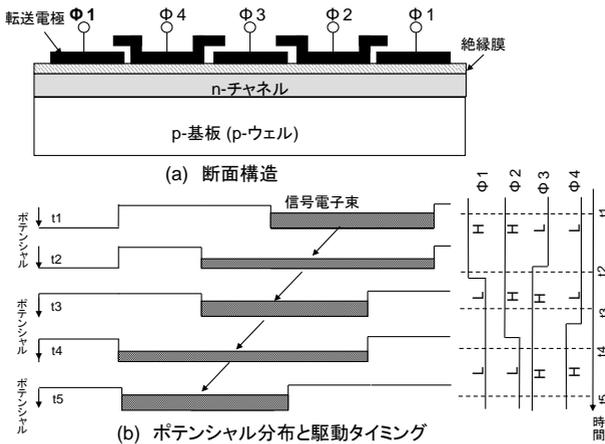


図 1・28 4 相駆動 CCD

(5) 電荷検出回路と雑音低減方法

CCD で転送された電荷束を外部に出力するには、電荷量（電子数）を電圧に変換する必要がある。ここでは、電圧に変換する手段として、ほとんどのイメージセンサに用いられているフローティングディフュージョン（FD）型電荷検出回路を取り上げて説明する¹³⁾。

図 1・29(a)に 2 相駆動 CCD から FD 型電荷検出回路に至る断面構造を示す。図 1・29(c)に駆動タイミング図と出力波形例を示す。図の時刻 t_1 、 t_2 、 t_3 、 t_4 におけるチャンネルポテンシャルの動きを図 1・29(b)に示す。

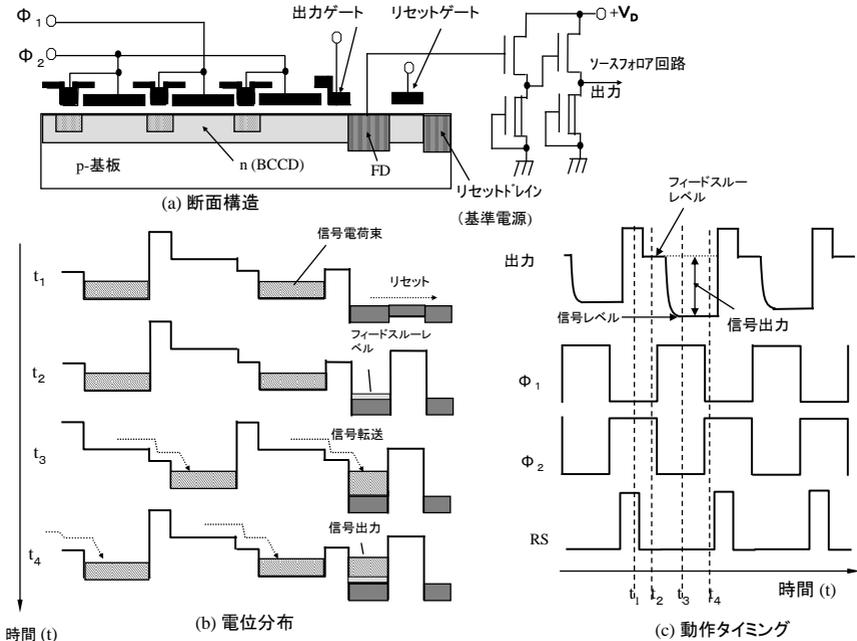


図 1・29 電荷検出動作シーケンス

$t = t_1$ でリセットゲート (RS) に H レベルパルスが印加され、FD が基準電源電位にリセットされる。 $t = t_2$ で RS パルスが L レベルに変化し、FD はフローティング状態になる。 FD がフローティングになる瞬間以降の RS パルスの変化分が、容量結合によって FD の電位を下降させる。この下降された電位はフィードスルーレベルと呼ばれ、信号の基準レベルになる。 $t = t_3$ で CCD の最終転送電極 Φ_2 が L レベルに変化すると、信号電荷束が出力ゲートを越えて FD に転送され、電荷量 (電子数) に比例して FD の電位を下降させる。フィードスルーレベルを基準としたこの電位下降分が電圧信号に相当する。この信号をソースフォロア (SF) に入力し、電流増幅して外部に出力する。信号を外部に出力した後、FD は再び基準電源電位にリセットされる。

この過程を繰り返して、時系列電圧信号が得られる。信号電荷量に対する信号出力の比が電荷電圧変換ゲイン G_C または電荷検出感度と定義され、次式で示される。

$$G_C = A_V \cdot q / C_{FD} \quad (10)$$

ここで、 A_V は 2~3 段ソースフォロアのゲインを示し、一般に 0.9~0.8 になる。 C_{FD} は FD 部の静電容量を示す。

式 (10) で明らかかなように、 C_{FD} を小さくすることで、電荷検出感度を高めることができる。 C_{FD} を小さくするための技術の一例を図 1・30 に示す¹⁴⁾。FD に隣接する出力ゲート及びリセットゲートを電荷密度が高い n 層 (SF へのコンタクト層) から離間させて FD との結合容量を極力小さくした。改良構造は現在のスタンダードである。

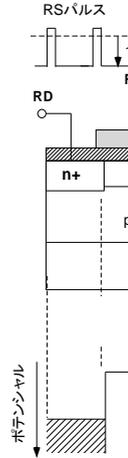


図 1・30 電荷検出回路の高感度化技術

出力回路における重要な問題として、FD をリセットするに際し、リセットチャンネル内に熱雑音 (kTC 雑音) が発生する、この雑音はリセット完了後に FD にホールドされ、次のリセットまで同一レベルを保つ。したがって、フィードスルーも信号も同一の熱雑音レベルを含むので、両者をサンプリングして差をとることにより、雑音成分を相殺することができる¹⁵⁾。この雑音除去処理は、Correlated Double Sampling (CDS) と呼ばれ、一般に、ソースフォロア回路出力後にアナログフロントエンド (AFE) IC 内で行われる。CDS 処理により、ソースフォロア回路で発生する低周波の 1/f 雑音も実質的に除去できる。

1-3-2 CCD イメージセンサ

(1) 代表的構成

CCD は、完全転送モードにより信号量を電子数で蓄積転送できるので、本質的に SN 比が高い。この特長が、暗い被写体に対しても正確に撮像できることが要求されるイメージセンサに応用されるキーポイントになっている。CCD イメージセンサの代表的構成を図 1・31 に示す。

図 1・31 (a) のフレームトランスファ型 CCD (FTCCD) は、紙面の上方から下方に信号電荷を転送する垂直転送 CCD (VCCD) が並列に配置され、紙面右から左に転送する水平転送 CCD (HCCD) と出力回路からなる¹⁶⁾。垂直転送部は感光部と蓄積部の二つの領域で形成され、前者は撮像機能、後者は撮像された信号電荷を一時蓄積する機能を各々担う。映像光は感光部に照射され、ポリシリコン電極を透過して Si 基板内で電子-正孔対を生成する。生成された電子は、CCD チャンネルに形成されたポテンシャル井戸に集められて、信号電荷束として蓄積される。所定の蓄積期間の後、感光部と蓄積部の VCCD を同時に高速転送させて、全信号電荷束を蓄積部に移す。この高速転送はフレームトランスファと呼ばれ、FTCCD のキーになる。蓄積部と HCCD 部は完全遮光されている。蓄積部は感光部と同数の転送段を有し、アナログフレームメモリとして機能する。

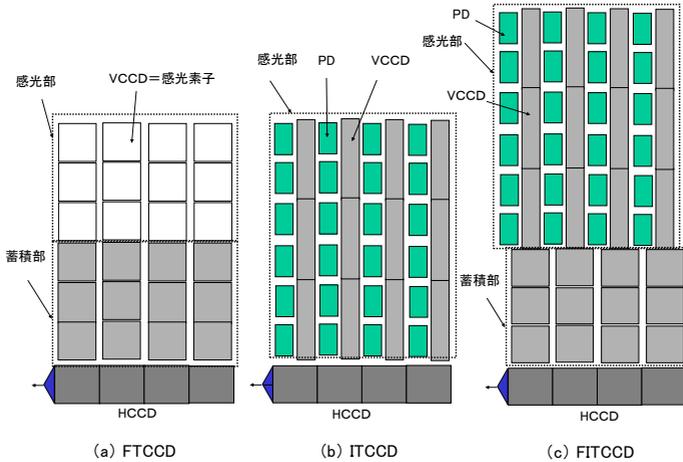


図 1・31 CCD イメージセンサの代表的構成

次に蓄積部では、一段の転送（ラインシフト）が行われ、水平 1 ライン分の信号電荷束が HCCD に平行転送される。HCCD は転送された信号電荷束を水平方向にシリアル転送し、1 電荷束ずつ FD に注入し、電圧信号として出力させる。この動作を繰返して、1 フレームの全信号を出力することができる。FTCCD における水平画素数は VCCD のチャンネル数で決まり、垂直画素数は感光部を構成する VCCD の転送段数で決まる。FTCCD は 1 画素を VCCD の 1 転送段だけで構成できるので、構造がシンプルで作りやすいが、以下の欠点をもつ。

- (1) 蓄積部を必要とするので、チップサイズが大きくなる。
- (2) 高速のフレーム転送動作により消費電力が増加する。
- (3) 高速転送とはいえ、感光部が電荷転送路になるため、高輝度照射部分を通過することで信号が光を被り、いわゆるスミアと呼ばれる白い帯状の偽信号が発生する。このスミアの量は、フレーム転送周波数に反比例して小さくなる。
- (4) 映像が VCCD のポリシリコン電極を透過して入射するので、短波長光（青色光）の吸収損が大きい。

(1) の欠点は蓄積部を極力高集積化することで、ある程度軽減できるがなくすことはできない。(4) の欠点を克服すべく、電極を極力薄いポリシリコン膜で形成したり、Indium Tin Oxide (ITO) などの透明電極を用いたり、あるいは、一部を pn 接合による仮想電極に置き換えるなどの改善策はあるが、何れも抵抗が大きくなり高速転送との両立が難しい。以上の理由で、FTCCD はイメージセンサの主流に成り得ていない。

図 1・31 (b) のインターライン転送型 CCD (ITCCD) では、感光素子としてのフォトダイオード (PD) と信号電荷束の転送を担う遮光された VCCD とで 1 画素が構成される¹⁷⁾。図に示すように垂直方向に並ぶ PD の列と VCCD をインターライン上に配置されるところに特徴がある。HCCD 以降の機能は FTCCD の場合と同一である。入射光は PD 内で電子-正孔対に光電変換され、電子が信号電荷束として PD 内に蓄積される。所定期間の蓄積が終了すると、VCCD 電極と一体形成されたトランスファゲート (TG) が開かれ、信号電荷束は一斉に

かつ瞬時(1~2 μ sec)に遮光されたVCCDに転送される。VCCDはアナログフレームメモリとして機能するので、この段階からHCCDへのラインシフトを開始することができる。ラインシフトからHCCD転送、更には電圧信号出力に至る動作はFTCCDと同様である。

ITCCDの長所は、FTCCDにおける蓄積部がなく、かつ高速フレー転送が不要である点とPDとVCCDの構造を半独立に最適化できる点にある。短所は、1画素内にPDとVCCDが併設されるので、各々が占有できる面積が小さくなる点と、アナログメモリとして機能するVCCDに、隣接するPDに入射する光の一部が混入して、スマアを発生しやすい点にある。FTCCDの短所が、構成上の本質的な問題なのに対し、ITCCDの短所は質的に異なる。ITCCDは、多くの技術的ブレークスルーを経て前述の短所を克服し、イメージセンサの主流になっている。ITCCDのキー技術に関しては次項に詳述する。

図1-31(c)のフレームインターライン転送型CCD(FITCCD)は、画素構造がITCCDと概ね同一で、FTCCDの蓄積部を併せもつ構成で成る¹⁸⁾。すなわち、PDから信号電荷束を受け取った感光部の遮光されたVCCDは、高速フレーム転送により全信号電荷束を完全遮光された蓄積部に短時間に転送する。FITCCDはITCCDの欠点であるスマアを桁違いに小さくできる。すなわち、ITCCDのラインシフト周波数を f_L 、高速フレーム転送周波数を f_F とすると、スマアを、 f_L/f_F 倍に低減できる。一方、FITCCDはFTCCDの欠点である蓄積部をもつことでチップサイズが大きく、高速フレーム転送を行うために消費電力が大きい。したがって、一部の例外を除き、その応用範囲が撮像性能を最優先する放送用カメラや特殊な産業用カメラに限定される。

(2) インターライントランスファ CCD (ITCCD)

ここでは、CCDイメージセンサの代表としてITCCDを取り上げ、その性能を支えるキー技術について記述する。

(a) VCCD 構造と動作

図1-32(a)に画素の断面構造を示す。VCCDはn形埋め込みチャンネルと転送電極、及びこれを覆う遮光膜で構成される。転送電極はPDから電荷束を転送するトランスファゲート(TG)と一体形成される。VCCD内を電荷転送する場合は、負電圧の転送パルスが印加され、電荷束を垂直方向に転送する。転送パルスのHレベルを0V、Lレベルを前項で説明した価電子帯ピンニング状態になる負電圧に設定して暗電流の発生を抑制するのが一般的である。TGは表面チャンネル型で形成され、電極に0V以下の負電圧が印加されても、正孔が移動するだけで、ポテンシャル井戸は生起されない。すなわち、ゲートが閉じた状態が保持される。この状態のポテンシャル分布を図1-32(b)に示す。

次に、PDからVCCDに電荷束を転送する場合のポテンシャル分布を図1-32(c)に示す。転送電極に正の電圧(読み出し電圧)を印加すると、TG下の表面チャンネルが上昇し、PDに蓄積された信号電荷束がVCCDに転送される。読み出し電圧は、この転送過程を完全転送モードにするに十分な高い電圧でなければならない。このように転送電極には、正、ゼロ、負の3値パルスを印加する必要があるが、TGを一体形成することで、構造的に極めてシンプルになる。

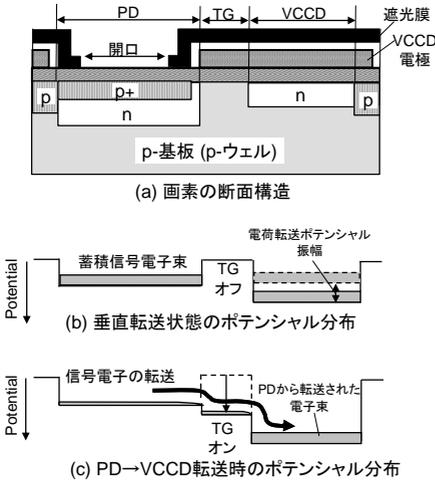


図 1・32 CCD イメージセンサの代表的構成

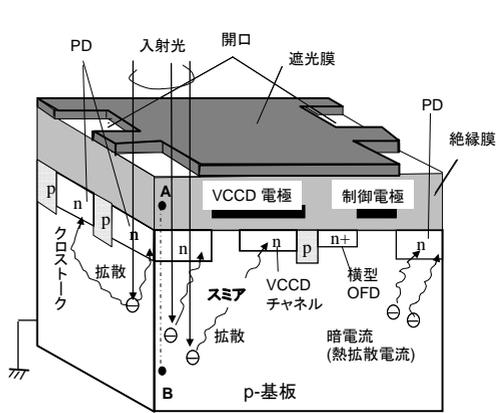


図 1・33 横型 OFD と p 基板の限界

(b) p 形基板の限界

初期の ITCCD イメージセンサは、p 形 Si 基板上に構成されていた。p 形基板の場合、中性領域であるバルクで光電変換された電子の拡散による、隣接画素間の信号クロストークやスマミアの増加が深刻な問題であった。図 1・33 にその様子を示す。加えて、p 基板から少数キャリア（電子）の熱拡散電流が PD や VCCD に流れ込み、暗電流雑音成分となる。PD や埋め込みチャンネルと p 基板との pn 接合における拡散電流は、1 次元的には次の拡散方程式を、適切な境界条件のもとに解くことで得られる¹⁰⁾。

$$D_n \frac{d^2 n_p}{dx^2} + G_L - (n_p - n_{p0}) / \tau_n = 0 \tag{11}$$

ここで、 D_n は電子の拡散定数、 G_L は光生成率、 τ_n は電子のライフタイム、 n_p は電子密度、 n_{p0} は熱平衡状態における p 基板内の電子密度を各々表す。

境界条件として pn 接合の空乏層端 ($x = 0$) における電子密度はゼロ、すなわち $n_p(0) = 0$ 、バルク深部では一定、すなわち $n_p(\infty) = n_{p0} + G_L$ を用いて式(11)を解くと、次式が得られる。

$$n_p(x) = (n_{p0} + \tau_n G_L) [1 - \exp(-x/L_n)] \tag{12}$$

ここで、 L_n は電子の拡散長を表し、 $L_n = (D_n \tau_n)^{1/2}$ で定義される。PD や VCCD に流れ込む拡散電流密度 I_{DF} は次式となる。

$$I_{DF} = e D_n \left. \frac{dn_p}{dx} \right|_{x=0} = e D_n^{1/2} (\tau_n^{-1/2} n_{p0} + \tau_n^{1/2} G_L) \tag{13}$$

式(13)は、p 基板における電子のライフタイムを長くすることで、熱的拡散電流（暗電流雑音）を抑えることができるが、光生成電子の拡散電流が増大し、前述のクロストークやスマミアの劣化をまねくことを意味し、ライフタイムを短くするとクロストークやスマミアを抑制できるが、暗電流雑音が増加することを意味する。すなわち、2 種の拡散電流を防止する両立解はない。

更に、p 基板には大きな欠点がある。非常に強い光が PD に入射すると、PD の電荷蓄積能

力を越えた電子が発生し、基板にあふれ出る。あふれ出た電子は拡散し、周囲の PD や VCCD に次々に流れ込み、あたかも周囲にも強い光が入射したかのように、全体が白く塗りつぶされた映像信号となって出力されてしまう。この現象をブルーミングと呼ぶ。ブルーミングを防止するためには、図 1・33 に示すように、PD に隣接して過剰電子吸収のためのドレインが必要になる。これは、横型オーバーフロドレイン (Lateral Overflow Drain : LOD) と呼ばれ、濃い n 層と制御電極から成り、画素の広い領域を占有するため、画素の微細化に対する大きな障害になっていた¹⁹⁾。

(c) 縦型オーバーフロドレイン構造

これらの問題を解決するために、p ウェルを発展させた縦型オーバーフロドレイン構造 (Vertical Overflow Drain : VOD) が導入された^{20), 21)}。図 1・34 (a) 及び (b) に、その断面構造と PD から p ウェル、更に n 基板に至るエネルギーバンド図を示す。

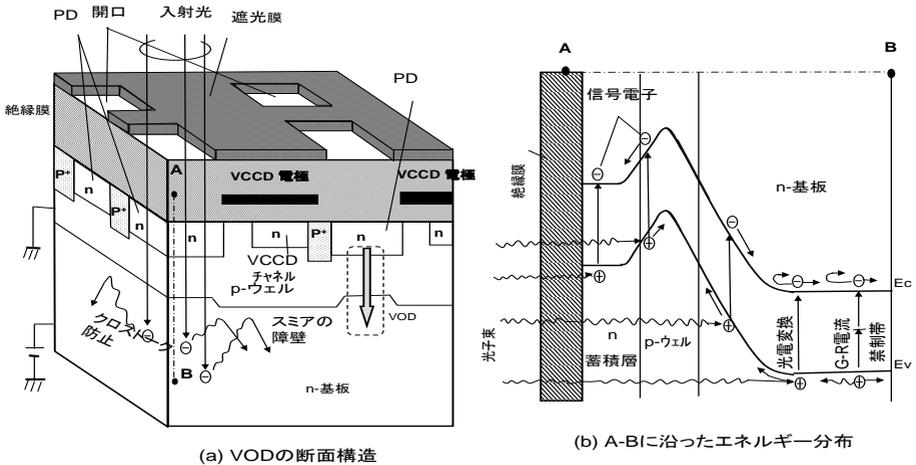


図 1・34 縦型オーバーフロドレインの雑音抑制原理

PD と VCCD を p ウェルの中に形成し、p ウェルを基準電位として n 基板に正電圧を印加することで逆バイアス状態を保持している。図 1・34 (b) に示すように、この逆バイアスは、基板からの電子の拡散に対する電位障壁を形成し、光生成された電子及び熱的に発生した電子が PD や VCCD に侵入するのを完全にブロックする。これにより、信号のクロストークは問題にならないレベルに改善し、スミアも飛躍的に減少した。更に、基板からの熱的拡散電流に起因する暗電流雑音成分は完全に抑えられた。

次に、VOD の過剰電子排出原理を説明する。p ウェルと n 基板間の pn 接合空乏層は逆バイアス電圧によって拡大する (簡単には電圧の 1/2 乗に比例)。PD 直下の p ウェルの不純物層が薄くかつ低濃度であれば、接合空乏層が PD の n 層に達するいわゆるパンチスルー状態が容易に実現する。すなわち、p ウェルが完全空乏化して、その電位が上昇する。このとき n 層が電子の充満状態にあれば、電子は n 基板に強く引き出される。この状態のポテンシャル分布を図 1・35 に示す。

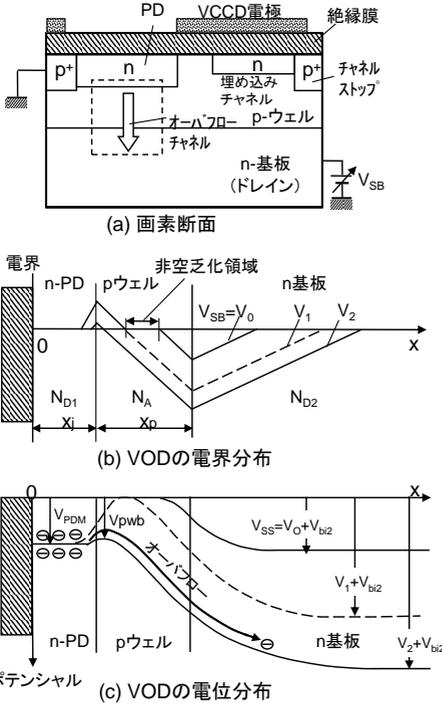


図 1・35 縦型オーバーフロードレインの動作原理



(a) ブルーミング発生画像



(b) VODによるブルーミング防止画像

図 1・36 VODのブルーミング防止効果

強い光が入射して PD 内に過剰電子が発生しても上昇した p ウェルのポテンシャルを越えて、n 層から n 基板にすべて掃き出されるので、ブルーミングの発生を完全に防止することができる。このブルーミング抑止能力は、数十万～百万ルクスの光に対しても有効に発現できる。図 1・36 (a), (b) にブルーミング発生画像と VOD によるブルーミング防止画像を比較して示す。また、VOD は PD と立体構造を成し、画素の有効面積を一切占有しない。このため、画素の微細化を一気に加速し、ITCCD の必須技術になった。

(d) 埋め込みフォトダイオード (Pinned Photodiode)

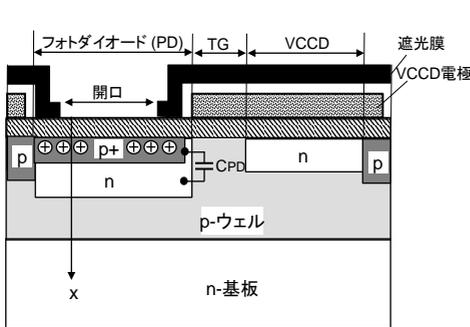
VOD とともに ITCCD を進化させた重要な技術として、埋め込みフォトダイオード (Pinned PD) がある²²⁾。図 1・37 (a), (b) に断面構造とポテンシャルプロファイルを示す。PD の n 形蓄積層の表面に高濃度で浅い接合の p 形層 (p⁺層) を形成する。p⁺層は接地電位 (非空乏化状態の p ウェル電位) に固定され、電気的中性を保つので、正孔が充滿した状態にある。表面層に正孔が充滿することで、前項で説明した価電子帯ピンニングによる暗電流雑音成分激減効果と同様の効果が得られる。表面を p⁺層とした場合の表面生成電流の低減効果は、式 (9) の p_s を表面 p⁺層の不純物濃度 N_{SA} に置き換えて、次式で表される。

$$|I_s| = -eU_s = eS_{0n} n_i^2 / N_{SA} = (eS_{0n} n_i / 2) \times (2n_i / N_{SA}) \tag{14}$$

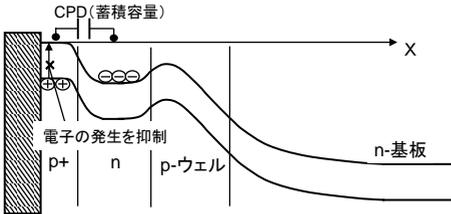
ここで、N_{SA} が 10¹⁷/cm³ オーダー以上であれば、表面生成電流の低減ファクタ (2n_i/N_{SA}) は 1/10⁷

以下になり、表面暗電流成分は無視できるレベルに低減される。

この場合、正孔を蓄積するために負電圧を印加する電極を必要としないので、入射光の損失がない最適のPD構造を実現できる。埋め込みPDのもう一つの大きな長所は、PD表面が接地電位に固定されるので、図1・37(b)に示すようにPDの完全空乏電位が引き下げられて安定に固定される点にある。表面p⁺層と電荷蓄積n層との間の結合容量C_{PD}を大きく設計でき、PDの完全空乏電位を4~5V程度に低く抑えることができる²³⁾。したがって、PDからVCCDへの信号電荷束の転送を容易に完全転送モードで行うことができ、不完全転送によって生じる残留電荷の転送遅延(残像)や読み出し電荷の熱的揺らぎに起因する雑音(kTC雑音)を完全になくすることができる。埋め込みPDの導入により、ITCCDのSN比が著しく改善し、残像問題は完全に解決した。埋め込みPDは、ITCCDのみならず、CMOSイメージセンサにおいても必須技術となった。



(a) 断面構造



(b) エネルギー分布

図1・37 埋め込みPDの構造と効果

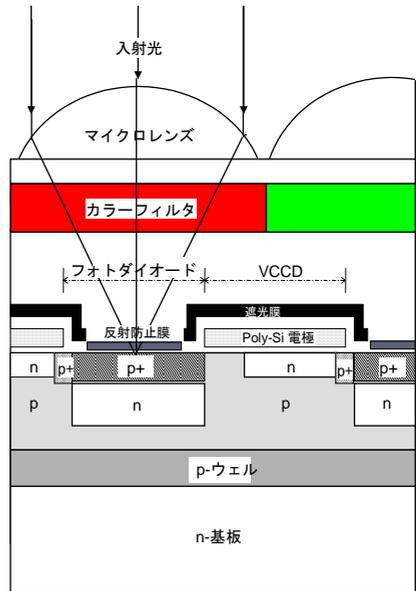


図1・38 ITCCDの画素構造

VODと埋め込みPDの導入により、現在のCCDイメージセンサの標準構造を確立するに至った。現在のCCDイメージセンサの代表的断面構造を図1・38に示す。画素の上部をカラーイメージングのための色フィルタが覆い、更に映像光を広く集めてPDの開口部に集光するためのマイクロレンズが形成されている。このマイクロレンズも、CCDイメージセンサ(特にITCCD)の感度を飛躍的にさせるための、ブレークスルーとなった重要な技術である。

1-3-3 CCD イメージセンサの諸特性

(1) 光電変換特性

図 1・39 にイメージセンサとしての最も基本的な性能を表す光電変換特性を示す。横軸は露光量で、一般に光強度と積分時間（蓄積時間）の積を表し、縦軸は信号出力電圧を示す。信号出力は実質的に露光量に比例し、その比例係数がセンサの光応答感度（以下感度と記す）を表す。前述のマイクロレンズが理想的に入射光を集光すると仮定すると、感度は画素面積に比例する。また、通常のイメージセンサでは、飽和出力が PD の最大蓄積電荷量で決定されるように設計される。実際には PD 内の電子は、熱的エネルギー分布（ボルツマン分布）をもって蓄積される。したがって、電子数が増大して PD が充満状態に近づくとき、高い熱エネルギーをもった電子は VOD を介して基板に放出される。このため、光電変換曲線は飽和出力に至る前に非線形性を示す。

実際のカメラシステムにおいては、飽和出力に至る前の 90～95 % 前後の信号レベルで出力をカット（ホワイトクリップ）して映像信号処理を行う。センサの出力ダイナミックレンジ（DR）は、暗時雑音に対する飽和出力の比で定義される。SN 比（Signal to Noise Ratio）は、信号電子数 n が暗時雑音レベルより十分大きければ、光ショット雑音との比で決定される。信号電子数 n は、ポアソン分布に従った揺らぎをもち、その標準偏差が光ショット雑音になる。したがって、SN 比は次式で与えられる。

$$S/N = n/\sqrt{n} = \sqrt{n} \quad (15)$$

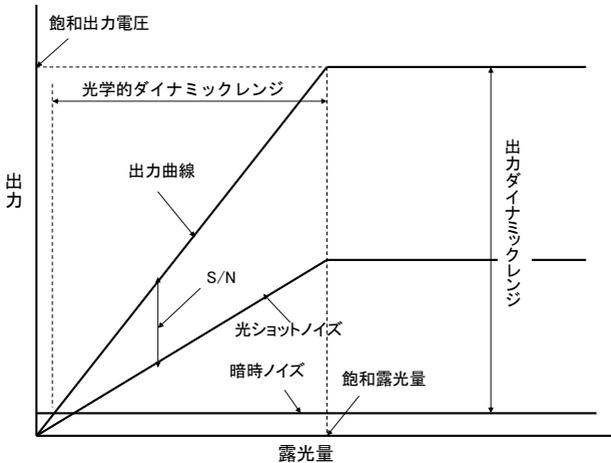


図 1・39 光電変換特性

一方、暗い被写体に対しては、 n が減少して暗時雑音が無視できないレベルになる。暗時雑音は、出力ソースフォロア回路の熱雑音及び MOS トランジスタの界面単位トラップに起因する $1/f$ 雑音、CCD 内で発生した暗電流の揺らぎに起因する暗電流ショット雑音などから成る²⁴⁾。各雑音成分は、各々独立の過程で発生するので、その総量は、2乗和の平方根で与えられる。暗時雑音の表現としては、一般に入力換算等価雑音電子数が用いられる。この場合の入力ノードは FD になる。SN 比は、式(10)の電荷電圧変換ゲインから算出した電子数で

議論されることが多い。CCD における雑音電子数は、2~5 電子(rms)程度である。

(2) スミアとブルーミング

ITCCD の場合、スミアはPD 内を外れて光生成された電子が VCCD に拡散して侵入するか、あるいは回折や反射散乱によって光が VCCD あるいはその近傍に侵入して電子を生成することによって引き起こされる。前者の拡散電流成分は、VOD の導入で飛躍的に改善され、現在は後者が支配的要因になっている。

後者を改善するポイントは、図 1・37(a)に示すように、VCCD を覆う遮光膜の端部をできるだけ Si 表面近傍に落とし込むことと、マイクロレンズ形状を中心にした光学設計の最適化にある。ITCCD の場合、強い光が照射されている PD に隣接する VCCD 部分を所定の転送速度でポテンシャル井戸が連鎖して移動するので、この部分を通過した井戸には、一様にスミア電荷が侵入する。このため、再生画像には垂直方向に一様な帯状の白いパターンが重畳されて見える。スミアが発生している画像を図 1・40(a)に示し、VOD 構造の導入で改善された画像を図 1・40(b)に示す。スミアは、感光部の垂直方向の長さの 1/10 の領域に光を入射し、このときに得られる信号出力に対するスミア出力の比として定量的に定義され、dB 表記される場合が多い。遮光を十分にしておき、PD 開口と VCCD 間スペースを適正な長さに設計²⁵⁾したセンサのスミア比として、-120 dB 以下が得られるに至っている。



(a) スミア現象



(b) VODによるスミア低減

図 1・40 VOD のスミア改善効果

ブルーミングは、すでに 1-3-2(c)項で説明したように、過剰光により発生した電子が PD からあふれ出して拡散し、周囲の PD や VCCD に次々に流れ込み、あたかも周囲にも強い光

が入射したかのように、画像を白く塗りつぶしてしまう現象である。これに対しては、VODを使用することで、数十万〜百万ルクス以上の高照度撮像に対しても耐える高い能力が得られており、通常の撮像では問題にならないレベルに達している。

(3) 暗電流雑音

埋め込みPDにより、PD内で発生する暗電流はほとんど無視できるレベルに抑えられている。現状の暗電流 I_{DRK} は、VCCD内の空乏化された表面で発生するG-R電流(Generation-Recombination Current)が支配的である¹⁰⁾。これは、価電子帯から伝導帯に電子が熱励起される現象で、主に禁制帯のバンドギャップ E_g (1.1 eV)の中心付近のエネルギー準位(G-Rセンタ)を介して生成される。この場合の活性化エネルギーはおおよそ $E_g/2$ となり、 I_{DRK} は次式で表せる。

$$I_{DRK} \propto \exp(-E_g/2kT) \tag{16}$$

CCD内で発生した暗電流は、電荷束として蓄積、転送され、出力される(暗電流出力: V_{DRK})。 V_{DRK} の温度に対する特性の典型的な測定例を図1・41に示す。活性化エネルギーが約0.6 eVで、温度が8℃上昇するごとに、 V_{DRK} はおおよそ2倍に増加している。暗電流の空間的揺らぎ(ばらつき)は固定パターン雑音(FPN: Fixed Pattern Noise)として現われるが、VCCD内では平均化される。VCCDごとの平均値のばらつきが、縦縞状のFPNになる。一方、暗電流の時間的揺らぎは、暗電流ショット雑音になる。暗電流出力 V_{DRK} の平均電子数を N_{DRK} とすれば、 $\sqrt{N_{DRK}}$ のランダム雑音として現われる。

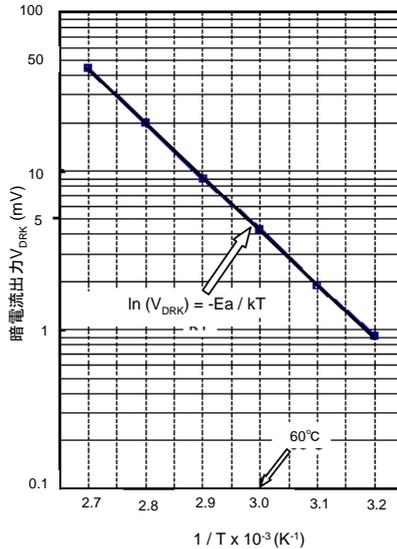


図 1・41 暗電流出力の温度特性

(4) 白キズと黒キズ

白キズは、再生画面上に白点として現れる。ほとんどの白キズは、1画素内に局在して発

生ずる異常に大きな暗電流である。この暗電流の G-R センタは、主に Si の禁制帯中心付近にエネルギー準位を形成する重金属によってもたらされる。例えば、Fe イオンはその代表格である。白キズは、前述の暗電流と同様の温度特性をもち、 $E_g/2$ 近傍の活性化エネルギーを有する。したがって、チップを冷却することで減少させることができる。白キズの数を減少させるには、重金属の混入をできるだけなくしたクリーンな製造工程を必要とし、更に、重金属を活性領域から取り除く技術（ゲッターリング技術）が重要になる。ゲッターリング技術に関しては、多くの試みがなされ、ノウハウが蓄積されている。

黒キズは、種々の因子によって引き起こされる。因子としては、例えば画素上あるいは画素内のダスト、パーティクルや残留物などがある。多くの場合、これらの因子によって入射光の一部が遮られることで、周囲の正常な画素に比べ感度が低下する現象である。黒キズを表す指標として、正常画素に対する光応答の低下をパーセンテージで表すのが一般的である。

(5) 電荷転送効率

埋め込みチャンネル CCD の電極長 L が短い場合にはフリンジ電界により、 L が長い場合には電極下に電位勾配をもたせる構造改良で、すでに転送効率として 99.9999 以上が得られている。これによって、10000 段の転送も問題なくできるようになっている。しかし、VCCD のようにチャンネル幅がサブミクロン台になると、CCD の n 層とこれを両サイドから挟むチャンネルストップ p 層との接合電界が強くなり、ナローチャンネル効果が顕著に現れる。

ナローチャンネル効果は、両側の接合空乏層の拡がり n チャンネル層内で結合してしまう現象で、転送電極電圧の変化に対するチャンネルポテンシャルの変化（変調度）を低下させてしまう。したがって、フリンジ電界を弱めるのみならず、局部的に存在する欠陥やチャンネル形状の揺らぎに起因するチャンネルポテンシャルの凹凸を転送電界で吸収し難くなり、局部転送不良を発生しやすくなる。局部転送不良は、再生画面上で薄いスクラッチ状の縦筋となって現れる。

(6) 駆動と消費電力

ITCCD は、一般的に 15~12 V, 3V, -6~-8 V の 3 電源を必要とする。図 1-42 に代表的駆動パルス群のタイミング図を示す。VCCD は 1-3-2 項で説明した 3 値パルスで駆動される。転送電極に 15 V のハイレベルパルス Φ_{TG} が印加されると、PD から VCCD に信号電荷束が転送され、-8 V と 0 V の電圧スイングで VCCD の転送が行われる。-8 V がピンニング電圧以下であるように設計することで、VCCD 内の暗電流を低減することができる。HCCD は 0 → 3 V スイングで駆動される。VCCD から HCCD への電荷転送は、HCCD 電極電圧を 3 V に固定し、VCCD 電極電圧 (0 → -8 V) との電位差を大きくしてフリンジ電界を強めて行われる。電荷検出部 FD に電荷束を転送するときの HCCD のチャンネルポテンシャルは通常 7~9 V になるため、FD の電位は 10 V 以上に設定する必要がある。FD の電荷検出ダイナミックレンジと電圧マージンを考慮して、リセットドレイン（基準電位）とソースフォロアのドレイン電圧は、12 V 以上に設定される。

n 基板に、PD を完全空乏するに十分な高電圧パルス Φ_{ES} を印加すると、PD に蓄積されている全電子が基板に掃出され、新たな蓄積を開始する。蓄積された電子束は、所定時間後に Φ_{TG} が印加され、信号電子束が VCCD に転送される。すなわち、図 1-42 に示すように、 Φ_{ES}

の終了から Φ_{TG} の終了までの時間が電子シャッタ開の時間（シャッタスピード）になる²⁶⁾。

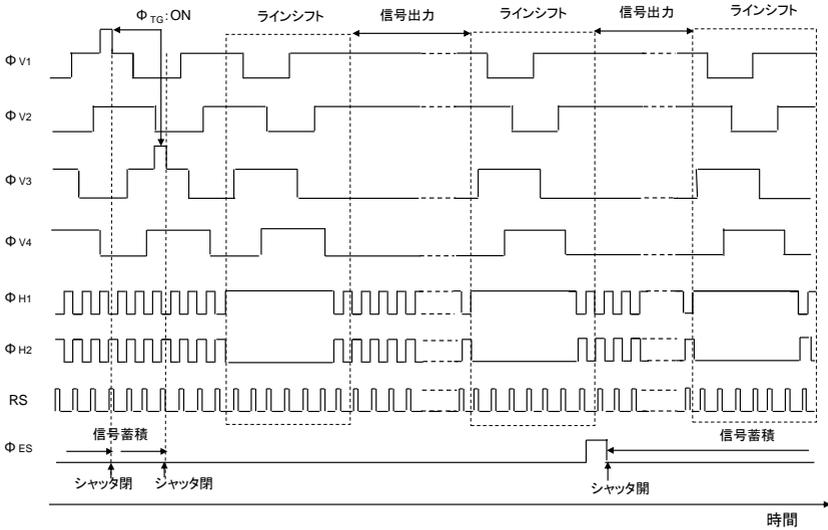


図 1・42 ITCCD の動作タイミング例

CCD の消費電力 P_C は、次式で表現できる。

$$P_C = f_c C_{cl} V_c^2 \quad (17)$$

ここで、 f_c は転送パルス周波数、 C_c は CCD の負荷容量、 V_c は転送パルスの振幅を表す。

Φ_{TG} と Φ_{ES} の消費電力は、振幅こそ大きい、1 フレームに 1 回の供給なので、無視できる量である。一般に、VCCD の負荷容量は HCCD に比べて、1~2 桁オーダーが大きい、ラインシフト周波数が 3 桁オーダーより低い。したがって、CCD 駆動の電力は、主に HCCD の駆動で消費される。もう一つの主要な電力は、電流バッファとしてのソースフォロア回路で消費される。イメージセンサとしての全消費電力は、例えば 1/2.3 型 1200 万画素を HCCD をパルス振幅 3.3V で 36 MHz、ソースフォロアのドレイン電圧を 12 V で駆動すると、400 mW 以上になる。消費電力を節約するための重要なポイントは、HCCD のパルス振幅をできるだけ小さくすること、ソースフォロアの電源電圧を極力下げる技術にある。

1-3-4 DSC 応用と課題

現在、CCD イメージセンサの最大の応用分野は、デジタルスチルカメラ (DSC) である。1990 年代のムービー応用に対して、2000 年代の DSC 応用では画素数をはじめ要求される性能、機能が格段にハイレベルになった。長い歴史をもつ銀塩写真に置き換わるためには、以下の項目を満たす必要がある。

- ① フィルムカメラと同等以上の解像度 (600 万画素以上)
- ② 高感度、高 SN 比でメカレスの高速シャッタ機能
- ③ 低速シャッタ (長秒露光) に耐える低暗電流雑音
- ④ 白とびや黒つぶれを防ぐための広い DR

- ⑤ フィルムカメラと同等の高い色再現性
- ⑥ 高精細静止画と高フレームレート動画の両立 (新しい機能として)
- ⑦ 小型化と低消費電力及び低コスト

などである。

①の高解像度化は、画素を所定の画角内に収める必要があるため、画素密度(集積度)を高めることを意味する。画素密度を増加させると、反比例して画素サイズが小さくなり、1画素に入射する光量とPDに蓄積できる電子数が共に減少する。このため、1-3-3項で説明したイメージセンサの最重要特性である感度が低下し、飽和出力が小さくなってしまふ(DRが狭くなる)。更に、スミアの劣化もまねく。画素の微細化に伴う性能の劣化を最小限に抑えるために、オンチップマイクロレンズ以下の光学構造の最適化、PDのバルク領域への拡大、VCCDの転送電子密度アップなど様々な技術改良が積み重ねられた。その結果、1.3 μ m角の画素サイズで、1/2.3型1600万画素のITCCDが実用化されるに至っている。

②のメカレス高速シャッタ機能については、後述のプロGRESSIVE読み出しがキーポイントになる。③の低暗電流化はCCD共通の基本技術であり、特に製造プロセス技術や結晶技術に負うところが大きい。④の広DR化と⑥の静止画と動画の両立化に関しては、後述の電子シャッタによる蓄積時間制御と、画素間の信号電荷混合技術がポイントになる。⑤の色再現性は、ムービーでよく用いられた補色系色フィルタに変えて、原色フィルタを使用することで相当に高められた。

図1・43に、原色フィルタの代表的配列であるベイヤー配列を示す。これは、輝度信号生成の中心になる緑色(G)フィルタを市松状に配し、赤色(R)と青色(B)のフィルタを線順次に配列しており、RとBの位置に、隣接するG信号を用いて補間信号を生成することで、実効解像度を実画素数相当の解像度に近づけることができる。⑦の低消費電力に関しては、前項で述べたようにHCCDの駆動電圧の低減と出力バッファ電圧の低減が最重要課題になる。

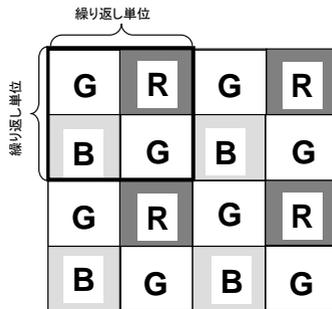


図1・43 カラーフィルタ配列(ベイヤー配列)

(1) プログレッシブとインターレース

DSC応用のITCCDには、インターレース読み出し形とプログレッシブ読み出し形がある。

図1・44にインターレース型の電荷転送の流れを示す。まず、奇数行のPDに蓄積された信号電荷束をVCCDに転送し、ラインシフトとHCCDによる水平転送を繰返して、順次出力回路に転送し、全奇数行の信号(第1フィールド)を出力する。次に偶数行の信号をVCCDに

転送し、同様の動作を繰り返して全偶数行の信号（第2フィールド）を出力する。すなわち、全画素の映像信号（フレーム信号）は、二つのフィールドを合成することで得られる。このインターレース型は、従来のテレビのフォーマットであるインターレース走査に適合する。しかし、二つのフィールド間に時間差があるため、このままでは静止画の撮影には使えない。

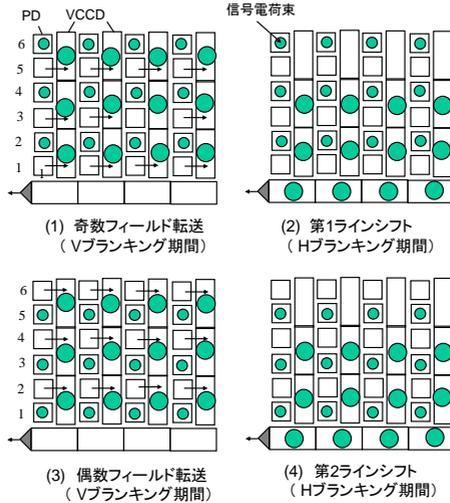


図 1・44 インターレース読み出し

図 1・45 にプログレッシブ型の電荷転送の流れを示す。この場合、すべての PD から VCCD に同時に信号電荷束が転送される。VCCD はアナログフレームメモリとして機能し、ラインシフトと HCCD の水平転送を繰り返して、出力回路から全画素の信号（フレーム信号）を順次出力する。この場合、1 フレームの信号が同時刻性を有するので、原理的には各フレームを静止画として記録できる。したがって、DSC への応用にはプログレッシブ型が適性を有する。

図 1・46 に、インターレース型とプログレッシブ型の ITCCD で撮影した画像を示す。比較のために X-Y 走査型の MOS 型イメージセンサの画像を併せて示す。

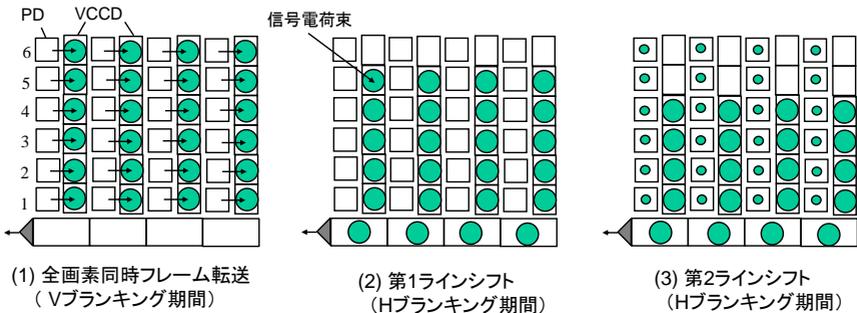


図 1・45 プログレッシブ読み出し



図 1・46 読み出しモードによる静止画の違い

一方、製造プロセス面から見ると、インターレース型の場合には、2 個の PD に対して VCCD の 1 転送段を配置すればよいので、標準的 2 層ポリシリコンプロセスで容易に製作できる。これに対し、プログレッシブ型は、1 個の PD に対して VCCD の 1 転送段を配置する必要がある。すなわち、電極を 2 倍の密度で形成せねばならず、一般に複雑な 3 層ポリシリコンプロセスを用いなければならない。これは、面積利用効率も低め、画素の微細化を極めて困難にする。図 1・47 に、両者の画素レイアウト例を示す²⁷⁾。

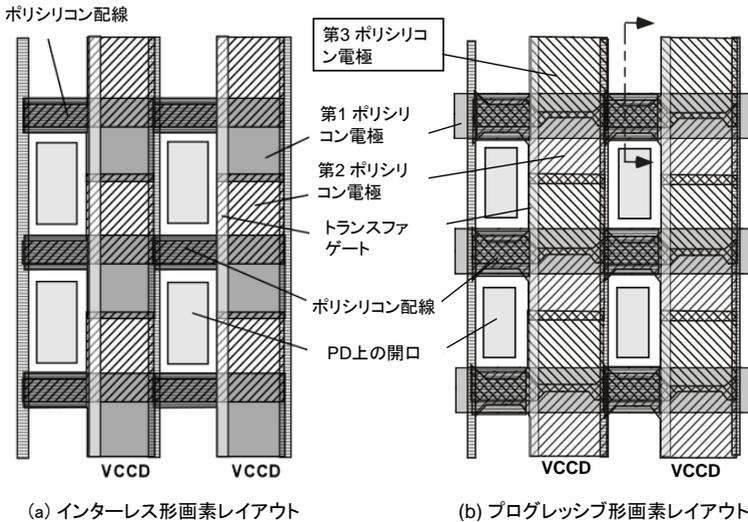
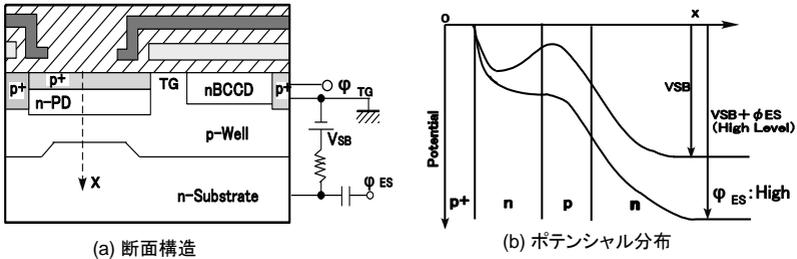


図 1・47 画素レイアウト比較 (インターレース v.s. プログレッシブ)

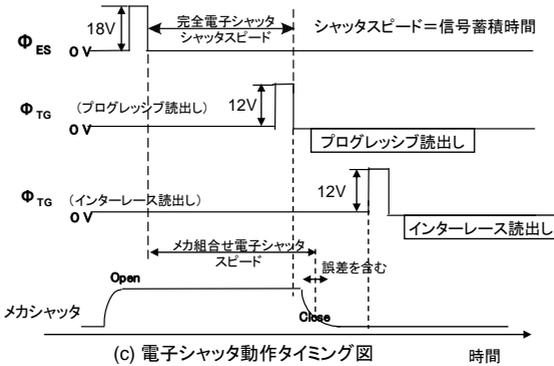
多画素化が必須である DSC 応用では、画素の微細化が最重要課題であること、更に太陽光などの強い光が入射した場合のスミアによる画像への悪影響を防ぎきれないため、一般にメカシャッタと組み合わせてインターレース型が使用されている。次に、その動作原理を示す。

図 1・48(a) は VOD 構造の断面と PD をリセットするための回路例を示し、図 1・48(b) は PD から基板に至るポテンシャル (電位) 分布、図 1・48(c) は電子シャッタとメカシャッタの動作タイミングを示す。



(a) 断面構造

(b) ポテンシャル分布



(c) 電子シャッタ動作タイミング図

図 1・48 電子シャッタの動作原理

基板に電子シャッタ開始パルス Φ_{ES} を印加すると図 1・48(b)に示すように、p ウェルの電位が上昇し、PD に蓄積された電子はすべて基板に掃き出され (リセットされ)、新たな信号電子の蓄積を開始する。所定の蓄積時間を経て、メカシャッタが閉じられ、信号の積分を終了する。このメカシャッタが閉じられた時点で、PD はアナログフレームメモリの役割に転じる。その後、2 フィールド以上のインターレース読み出しを経て、全フレームの信号電荷束を外部に読み出す。レンズシャッタカメラでは、このメカシャッタと組み合わせた動作が一般的である。しかし、安価なメカシャッタでは、時間的精度が得られないため、高精度な高速シャッタを切る、あるいは高速連写を行うのは困難である。

(2) 完全電子シャッタと進化したプログレッシブ CCD

プログレッシブ CCD を使用することにより、完全電子シャッタが実現できる。理想的には、スマアが無視できるレベルに低減できることを前提とするが、高精度高速シャッタや高速連写の実現を目的とする場合、スマア比が所定レベル (例えば -120 dB) 以下に押さえ込めれば、簡単な遮光板との組合せで、完全電子シャッタ (グローバルシャッタ) を実現することができる。図 1・48(c)に完全電子シャッタのタイミング図を併せて示す。この場合、前述のように複雑な構造と製造プロセスを必要とするプログレッシブ型 ITCCD が必要になる。しかし近年に至って、この問題を克服した新しいアーキテクチャの CCD が開発され、実用化されている。PIACCD (Pixel Interleaved Array CCD) と称し、その技術のキーポイントは画

素のパターンレイアウトにある²⁸⁾。

図1・49に画素のレイアウトと部分的断面構造を従来のITCCDの画素と比較して示す。図に示すように、標準的2層ポリシリコンで、 Φ_1 、 Φ_2 、 Φ_3 、 Φ_4 の4相駆動VCCDが構成されている。画素をインターリーブ状に配置することで、従来構造に見られるような垂直画素間の配線領域をなくしたシンプルな構造を実現している。加えて、画素の面積利用効率を30%高めている。また、PDとこれを覆う遮光膜の開口形状が等方的になることで、マイクロレンズで集光された光を無駄なくPDに入射させることができることも特長である。PIACCDにおいては、画素の配列が従来のITCCDの正方配列と異なるので、解像度特性も異なる。

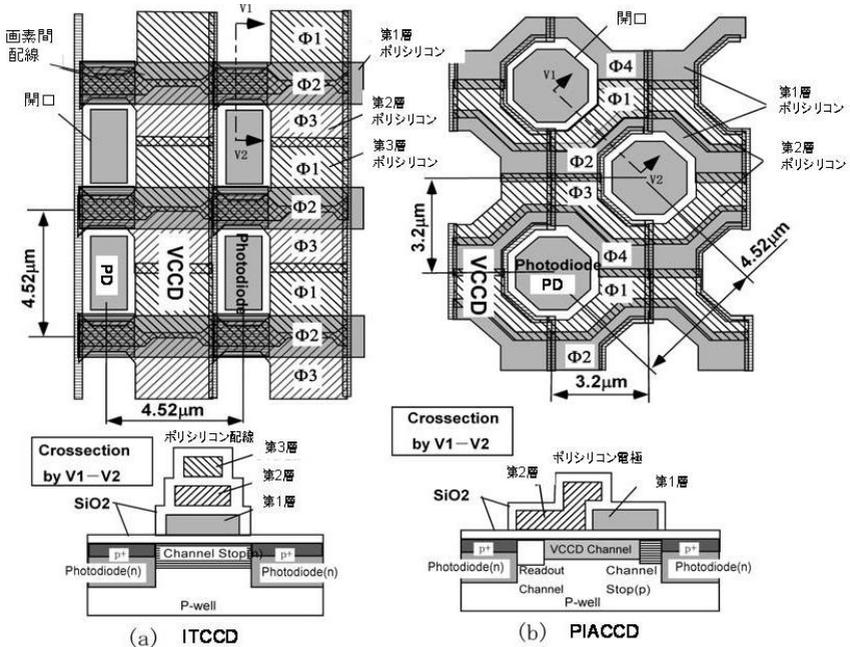


図1・49 PIACCDとITCCDのプログレッシブ型パターンレイアウト比較

図1・50に、両者の画素配列による空間サンプリングと2次元ナイキスト限界の違いを比較して示す。ITCCDの水平と垂直の画素ピッチ(空間サンプリングピッチ)を p とした場合、PIACCDの水平と垂直の空間サンプリングピッチは、 $p/\sqrt{2}$ になる。したがって、水平と垂直のナイキスト限界は、ITCCDが $1/(2p)$ 、PIACCDが $1/(\sqrt{2}p)$ となる。すなわち、同じ画素数で、水平と垂直の解像度は、倍(約1.4倍)だけPIACCDがITCCDより高いことを意味する。ただし45°の斜め方向に対しては、この関係が逆になる。一方、人間の眼の細線コントラストを識別できる感度が、45°方向に比べ水平垂直方向に2倍高いこと、及び自然界のシーンにおける空間的高周波成分が、水平垂直方向に集中していることが報告されている²⁹⁾、³⁰⁾。その意味では、水平垂直方向に解像度が高いPIACCDの画素配列は、DSC応用に対し、より適合性が高いといえる。

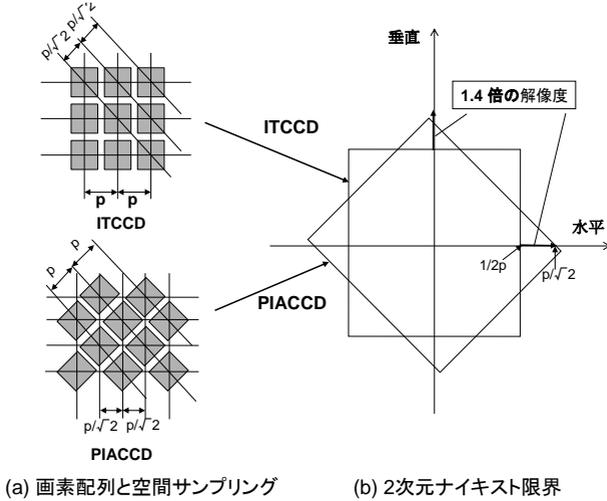


図 1・50 ITCCD と PIACCD の解像度特性

(3) 高解像度静止画と高フレームレート動画の両立（信号電荷の混合技術）

DSC 応用では、フィルムカメラの解像度に追いつくために画素数を増加させることが、当初の最重要技術テーマであった。このため画素の微細化が急速に進み、近年においては、すでに 10 M 画素を越え、一般的な 35 mm フィルムの解像度を超えるに至っている。一方、動画で要求されるフレームレートは、最低 24~30 fps である。例えば、10 M 画素の信号を、単一出力回路から 30 fps で出力すると、ブランキング期間を無視した連続読み出しをしたとしても、データレートが 300 MHz にもなってしまう。これでは、システム的にも消費電力的にも成り立たなくなる。

この問題に対し、読み出す信号電荷束の数を動画の画質を損なわない必要最低限に減少させることが、一つの解になる。これを実現したのが電荷混合技術である。水平行を選択的に読み出す、あるいは 2~4 行の同色信号を混合するのは、VCCD 電極への給電線を必要に応じて独立に形成し、読み出しパルス Φ_{TG} のタイミングを制御することで比較的容易にできる。これにより、垂直画素数を 1/2~1/4 程度に減少させることはできるが、水平画素数を減少させることはできない。電荷混合のキーは水平電荷混合技術にある。これを実現するためのアーキテクチャ例を図 1・51 に示す³¹⁾。

この技術の特徴は、VCCD と HCCD の連結部に CCD のラインメモリ (LM) を配置し、更に HCCD の転送電極に 4~8 相パルスを供給して、転送と混合を制御する点にある。図の例では HCCD の転送段ピッチを 2 倍化して、転送段数を半減させている。水平電荷混合を行う場合、水平方向に並ぶ列信号電荷束を、所定数の列周期で選択的に HCCD に転送する必要がある。まず、この選択垂直転送の動作原理を図 1・52 に示す。図の (a), (b) は LM から HCCD に至る断面構造を示し、選択的に電荷束を転送する領域と転送しない領域を各々示す。図の (c), (d) は、(e) に示す駆動タイミングに従って、対応するチャンネル内に形成されるポテンシャル分布を示す。図示のように、選択垂直転送は、LM に印加される Φ_{LM} が L レベル、対応

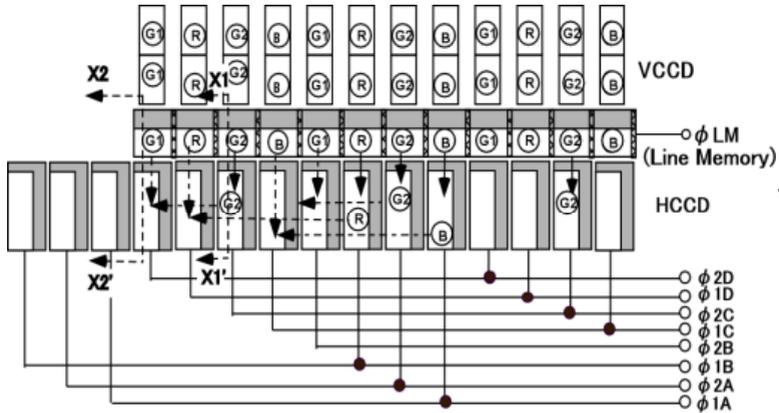


図 1・53 水平電荷混合例

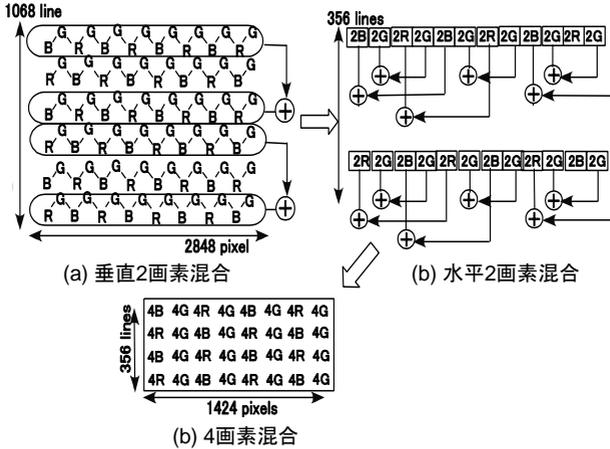


図 1・54 4画素電荷混合例

1-3-5 技術動向

DSC 市場が開けたことで、銀塩フィルムの解像度を目指して、多画素化が急速に進んだ。すでに、画素数は 10 M を越え、一般的銀塩フィルムの解像度を凌ぐに至っている。これに伴い、画素サイズは $1\mu\text{m}$ 角台にまで縮小されてきた。画素サイズが縮小されると、1 画素当たりに入射する光量が減少し、蓄積・転送できる電子数も減少する。これは、感度の低下と飽和電子数 (DR) の減少を意味する。この観点から、速からず画素の微細化に限界がくると思われる。画質に関していえば、DSC は白飛びしやすいと言われる。これは、出力が露光量に対してリニアで、飽和出力に達すると頭打ちしてしまうためである。更に、各 PD の飽和出力がばらつきをもつため、実際には飽和レベルに至る前に信号処理側でホワイトクリップ

を施すので、それ以上の映像出力は完全になくなってしまふ。

この問題に対し、高感度の画素と低感度の画素を組み合わせる光に対する DR を広げる技術が報告されている。図 1・55 にその原理を示す。すなわち、暗い部分は主として高感度画素で撮影し、高感度画素がホワイトクリップレベルに達した以降は、低感度画素で撮影する。この光学的 DR の拡大によって、今まで白飛びしていた被写体のディテール情報が得られる。現実には、電子シャッター制御により、長時間露光の高感度画素と短時間露光の低感度画素を隣接配置する方法が実用化されているが、ストロボ撮影時にその効果を出し難い欠点がある。その意味で、露光時間差によるのではなく、画素の大きさを変えるなどの方法で高感度と低感度の画素を作り込むのが望ましい³²⁾。更に、飽和出力を均一に作り込むことができれば、CCD の中で高感度と低感度の信号電荷束を混合できる。これにより、両者を独立に出力する必要がなくなるので、信号読み出し時間が短縮できる。この広 DR 技術は、画質を高める視点で重要になるであろう。

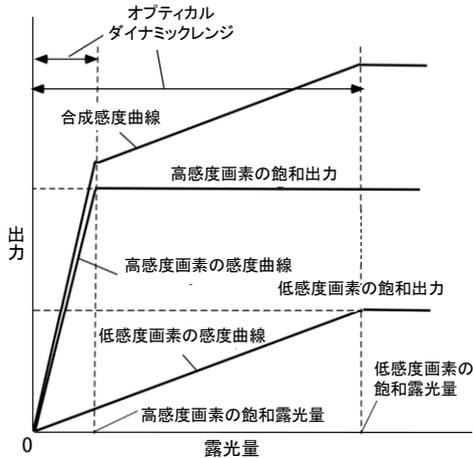


図 1・55 広ダイナミックレンジ化の原理

TV のハイビジョン化が進んでいる現在、10 M 画素以上の高解像度静止画とフル HD 動画 (1080 p, 60 i/p) の両立技術が進展するであろう。これを実現するための技術的ポイントは、HD 動画における画素混合技術と並列読み出し技術にある。並列読み出し技術においては、CMOS イメージセンサの後塵を拝しているが、両者の技術を融合させることにより、CCD の長所を活かした新たなイメージセンサ実現への道が拓かれることを期待する。

■参考文献

- 1) W. S. Boyle and G. E. Smith, "Charge-Coupled Semiconductor Devices," Bell Syst. Tech. J., 49, pp.587-593, 1970.
- 2) C. H. Sequin and M. F. Tompsett, "Charge Transfer Devices," Academic, New York, 1975.
- 3) D. F. Barbe, "Imaging Devices Using the Charge-Coupled Concept," Proc. IEEE, vol.63, no.1, pp.38-67, 1975.
- 4) G. F. Amelio, W. J. Bertram, Jr., and M. F. Tompsett, "Charge-Coupled Imaging Devices: Design Considerations," IEEE Trans. Electron Devices, ED-18, no.11, pp.986-992, 1971.
- 5) J. E. Carnes and W. F. Kosonocky, "First Interface-State Losses in Charge-Coupled Devices," Appl. Phys. Lett.,

- vol.20, pp.261-263, 1972.
- 6) R. H. Walden, R. H. Krambeck, R. J. Strain, J. McKenna, N. L. Schryer, and G. E. Smith, "The Buried Channel Charge Coupled Devices," *Bell Syst. Tech. J.*, no.51, pp.1635-1640, 1972.
 - 7) A. W. Lees and W. D. Ryan, "A Simple Model of a Buried-Channel Charge-Coupled Device," *Solid-State Electron.*, vol.17, pp.1163-1169, 1974.
 - 8) T. Yamada, H. Okano, and N. Suzuki, "The Evaluation of Buried Channel Layer in BCCD's," *IEEE Trans. Electron Devices*, ED-25, no.5, pp.544-546, 1978.
 - 9) 山田哲生, 岡野晴雄, 関根弘一, 鈴木信雄, "埋込みチャネル CCD の暗電流特性," 第 38 回 応用物理学学会学術講演会予稿集, p.258, 13p-N-16, 1977.
 - 10) A. S. Grove, "Physics and Technology of Semiconductor Devices," John Wiley and Sons, Inc., New York pp.136-140, no.267, 1967.
 - 11) D. M. Erb, W. Kotyczka, S. C. Su, C. Wang, and G. Clough, "An Overlapping Electrode Buried Channel CCD," *IEDM*, Washington, D.C., Tech. Digest, pp.24-26, 1973.
 - 12) T. Yamada, K. Ikeda, and N. Suzuki, "A Line-Address CCD Image Sensor," *ISSCC Digest of Technical Papers*, pp.106-107, Feb. 1987.
 - 13) W. F. Kosonocky and J. E. Carnes, "Two Phase Charge Coupled Devices with Overlapping Polysilicon and Aluminum Gates," *RCA Review*, vol.34, pp.164-202, 1973.
 - 14) T. Yamada, T. Yanai, and T. Kaneko, "2/3 Inch 400,000 Pixel CCD Area Image Sensor," *Toshiba Review*, no.162, pp.16-20, Winter 1987.
 - 15) M. H. White, D. R. Lampe, F. C. Blaha, and I. A. Mack, "Characterization of Surface Channel CCD Imaging Arrays at Low Light Levels," *IEEE Trans. Solid-State Circuits*, SC-9, pp.1-13, Feb. 1974.
 - 16) C. H. Séquin, F. J. Morris, T.A. Shankoff, M. F. Tompsett, and E. J. Zimany, "Charge-Coupled Area Image Sensor Using Three Levels of Polysilicon," *IEEE Trans. Electron Devices*, ED-21, pp.712-720, 1974.
 - 17) G. F. Amelio, "Physics and Applications of Charge Coupled Devices," *IEEE INTERCON*, New York, Digest, vol.6, paper 1/3, 1973.
 - 18) K. Horii, T. Kuroda, and S. Matsumoto, "A New Configuration of CCD Imager with a Very Low Smear Level - FIT-CCD Imager," *IEEE Trans. Electron Devices*, ED-31, no.7, pp.904-909, 1984.
 - 19) A. Furukawa, Y. Matsunaga, N. Suzuki, N. Harada, Y. Endo, Y. Hayashimoto, S. Sato, Y. Egawa, and O. Yoshida, "An Interline Transfer CCD for A Single Sensor 2/3" Color Camera," *IEDM*, Washington, D. C., Tech. Digest, pp.346-349, 1980.
 - 20) 山田哲生, 特許第 1243180 号「固体撮像装置」.
 - 21) Y. Ishihara, E. Oda, H. Tanigawa, N. Teranishi, E. Takeuchi, I. Akiyama, K. Arai, M. Nishimura, and T. Kamata, "Interline CCD Image Sensor with an Anti Blooming Structure," *ISSCC Digest of Technical Papers*, pp.168-169, Feb. 1982.
 - 22) N. Teranishi, A. Kohno, Y. Ishihara, E. Oda, and K. Arai, "No Image Lag Photodiode Structure in the Interline CCD Image Sensor," *IEDM Tech. Dig.*, pp.324-327, 1982.
 - 23) Y. Matsunaga and N. Suzuki, "An Interline Transfer CCD Imager," *ISSCC Digest of Technical Papers*, pp.32-33, Feb. 1984.
 - 24) J. E. Carnes and W. F. Kosonocky, "Noise Sources in Charge-Coupled Devices," *RCA Review*, vol.33, pp.327-343, 1972.
 - 25) N. Teranishi and Y. Ishihara, "Smear Reduction in the Interline CCD Image Sensor," *IEEE Trans. Electron Devices*, ED-34, no.5, pp.1052-1056, 1987.
 - 26) M. Hamasaki, T. Suzuki, Y. Kagawa, K. Ishikawa, M. Miyata, and H. Kambe, "An IT-CCD Imager with Electronically Variable Shutter Speed," *ITEJ Technical Report*, vol.12, no.12, pp.31-36, 1988.
 - 27) T. Ishigami, A. Kobayashi, Y. Naito, A. Izumi, T. Hanagata, and K. Nakashima, "A 1/2-in 380k-pixel Progressive Scan CCD Image Sensor," *ITE Technical Report* vol.17, no.16, pp.39-44, Mar. 1993.
 - 28) T. Yamada, Katsumi Ikeda, Y. G. Kim, H. Wakoh, T. Toma, T. Sakamoto, K. Ogawa, E. Okamoto, K. Masukane, K. Oda, and M. Inuiya, "A progressive Scan CCD Image Sensor for DSC Applications," *IEEE Journal of Solid-State Circuits*, vol.35, no.12(2000), pp.2044-2054, 2000.
 - 29) A. Watanabe, T. Mori, S. Nagata, and K. Hiwatashi, "Spatial Sine-Wave Responses of The Human Visual

System,” *Vision Res.* vol.8, pp.1245-1263, 1968.

- 30) 田丸雅也, 乾谷正史, 三沢岳志, 山田哲生, “デジタルスチルカメラのための新構造 CCD の開発,” 映像情報メディア学会研究会技術報告, vol.23, 1999.
- 31) 三沢岳志, 久保直基, 乾谷正史, 池田勝巳, 藤沢 薫, 山田哲生, “30fps VGA 相当動画読み出し対応 330 万画素 CCD イメージセンサとその応用,” 映像情報メディア学会情報センシング研究会技術報告, vol.26, no.26, pp.65-70, 2002
- 32) 小田和也, 小林寛和, 竹村和彦, 竹内 豊, 山田哲生, “広ダイナミック撮像素子の開発,” 映像情報メディア学会情報センシング研究会技報, vol.27, no.25, pp.17-20, 2003.

■8群-4編-1章

1-4 MOS型センサ

(執筆著：中村淳一) [2011年1月 受領]

1-4-1 CMOSイメージセンサの構造、動作

(1) CMOSイメージセンサの基本ブロック

図1-56にCMOSイメージセンサの基本ブロック図を示す。画素の動作は行制御パルス発生回路(Row driver)から供給されるパルス(後述のリセットパルスφRST, 電荷転送パルスφTX, 行選択パルスφRS, など)により行ごとに制御される。図1-56は画素出力の増幅, 固定パターンノイズ(FPN)抑圧(後述)を列並列に, AD変換回路が最終段にある構成を示しているが, ほかにも応用により様々な変形があり得る。例えば, AD変換も列並列で行う構成, 列並列回路を画素アレイの上下に配置する構成, AD変換されたデジタルデータをカメラ信号処理してから出力するSOC(System-on-Chip)タイプの構成(携帯電話用カメラ用センサに多く採用されている), あるいは, 画素出力をAD変換せずにアナログ出力する構成(デジタル一眼レフカメラ用センサに多く採用されている)などがある。

全画素読み出し(Progressive Scan), Bayer配列オンチップカラーフィルタが標準的に採用されている。

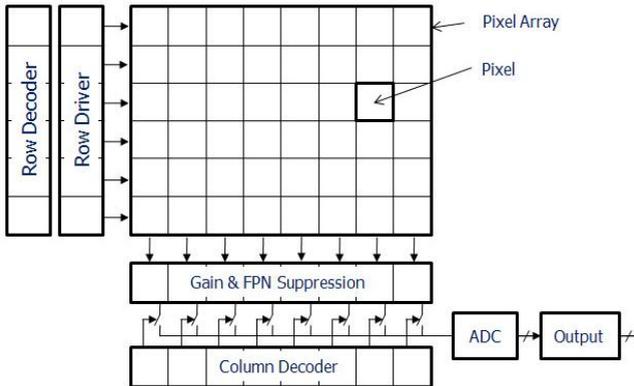


図1-56 CMOSイメージセンサの構成例

(a) 画素

図1-57に4トランジスタ(4T)埋め込みフォトダイオード画素を示す。画素は埋め込みフォトダイオード(あるいはpinnedフォトダイオード)PPD1)と四つのトランジスタ(リセットトランジスタMRST, 電荷転送電極TX, 増幅トランジスタMD, 行選択トランジスタMRS), 及び電荷検出用浮遊拡散層FD(Floating Diffusion)で構成される。所定の期間, フォトダイオードに蓄積された信号電荷は電荷転送パルスφTXによりPPDから電荷検出ノードFDに転送されるが, その直前にFDをリセット電圧に初期化しておく。そのFDにおける初期化電圧と信号電荷転送後の電圧を, トライオード領域で動作しスイッチとして働くMRSを介して, MDと画素アレイの外に設けられた定電流源IBIASとで構成されるソースフォロアで

電圧信号として読み出す。後述のFPN 抑圧動作により、FD をリセットする際に発生するリセットノイズ (kTC ノイズ) も抑圧することができる。

PPD から FD への電荷転送経路にポテンシャルディップやバリアが生じないように PPD, TX 下の不純物プロファイルを適切に設計し、完全電荷転送を実現する。この完全電荷転送とは PPD に蓄積された信号電荷がすべて FD に転送されることを意味し、したがって、残像、電荷転送に付随するノイズを発生させない。また、PPD 表面の p^+ 層が Si-SiO₂ 界面での暗電流発生を阻止している。

このように、4T 埋め込みフォトダイオード画素は、低雑音、低暗電流、無残像、という優れた特長をもっている。

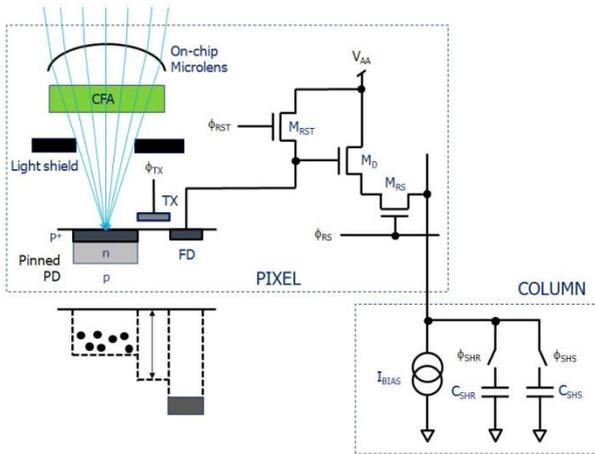
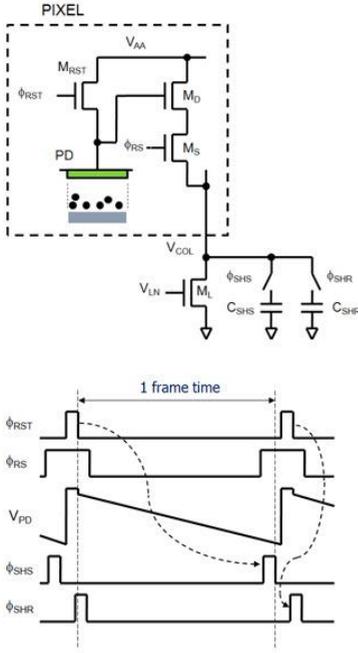


図 1・57 4トランジスタ埋め込みフォトダイオード画素

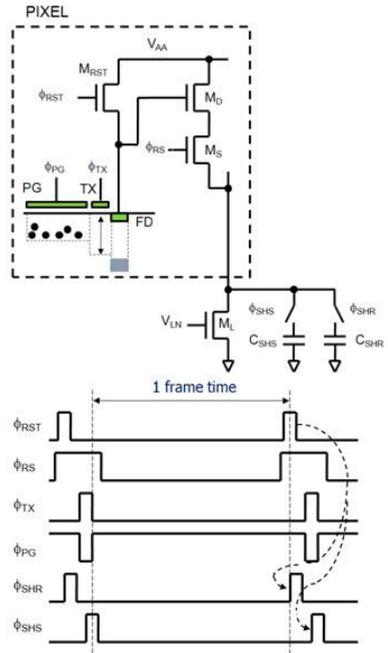
電荷転送ゲートをもつ埋め込みフォトダイオード画素が高画質 CMOS イメージセンサの標準画素になっているが、このほかに汎用 CMOS 製造プロセスで製造可能な画素として、図 1・58 に示す 3 トランジスタ (3T) フォトダイオード画素、4 トランジスタ (4T) フォトゲート画素などがある²⁾。

3T フォトダイオード画素は、4T 埋め込みフォトダイオード画素や 4T フォトゲート画素に比べて開口率が大きくとれ感度が高いが、FPN 抑圧回路に送られる二つの信号に含まれるリセットノイズに相関がないため (図 1・58(a) 中の破線参照)、FPN 抑圧動作により、リセットノイズ成分は $\sqrt{2}$ 倍になってしまう。

4T フォトゲート画素は、4T 埋め込みフォトダイオード画素の埋め込みフォトダイオードを PG (MOS ダイオード) に置き換えたものである。蓄積期間中、フォトゲート PG は正電位にバイアスされ、PG 容量に信号電荷が蓄積される。そのほかの動作は基本的に 4 トランジスタ埋め込みフォトダイオード画素と同じで、FD をリセットする際に発生するリセットノイズは二つのサンプルされる信号に共通に含まれるため (図 1・58(b) 中の破線参照)、FPN 抑圧回路により抑圧することができる。しかし、受光部 (フォトゲート) がポリシリコンで覆われているので青感度が低い。



(a) 3トランジスタフォトダイオード画素



(b) 4トランジスタフォトゲート画素

図 1・58 汎用 CMOS プロセスで製造可能な画素

3T フォトダイオード画素の電荷検出部はフォトダイオードそのものであるのに対し、4T 埋め込みフォトダイオード画素や4T フォトゲート画素の電荷検出部は浮遊拡散層FDであるので、浮遊拡散層容量 C_{FD} を小さく作ることにより、大きな電荷-電圧変換係数を得ることができる。

(b) FPN (Fixed Pattern Noise, 固定パターン雑音) 抑圧回路

現在の CMOS イメージセンサの画素は、画素内に電荷-電圧変換部をもつ、いわゆる増幅型画素である。その利点は、信号を初段増幅することにより、画素以降の信号処理回路で混入するランダム雑音を $1/G$ (G : 利得) に低減でき、したがって高い信号対雑音比 (S/N) を得ることができることにあるが、一方、各画素に増幅器を備えることで、その特性ばらつきにより FPN が発生する。図 1・59 に FPN 抑圧の概念 ((a); 回路例, (b); パルスタイミング) を示す。画素アレイの垂直信号線 (画素出力: Pixel OUT) に二つの容量を設け、一方に $V_1 =$ オフセット電圧を、他方に $V_2 =$ 信号電圧 + オフセット電圧をそれぞれ ϕ_{SH1} , ϕ_{SH2} のタイミングでサンプルホールドする。ここで、各画素の増幅器の特性ばらつきはオフセット性とし (ゲイン性ばらつきを無視; 実際、画素起因のゲインばらつきは十分小さい) これをオフセット電圧とした。これらを差し引くことで、同図(c)に示したように、オフセット電圧のばらつきを除去した均一な信号出力を得ることができる。

画素の暗電流ばらつきに起因する FPN は FPN 抑圧回路では抑圧できないので、プロセス

技術により画素間の暗電流ばらつきを極力抑えることが必要である。

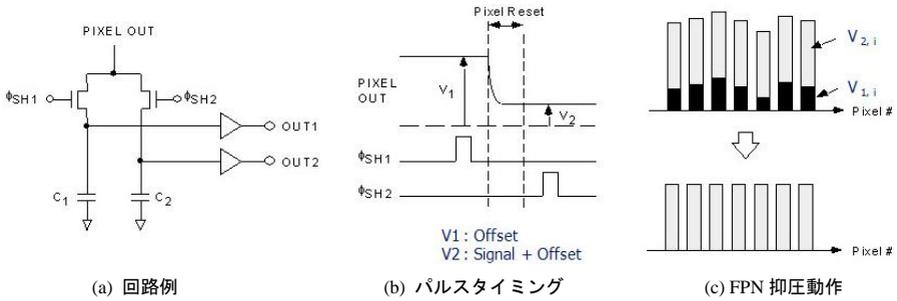


図 1・59 FPN 抑圧回路

図 1・59 の回路以外にも様々な FPN 抑圧回路が提案，実用化されている³⁾。

また，図 1・59 に示した FPN 抑圧回路は画素内の増幅トランジスタの閾値電圧のばらつきを抑圧するためと説明したが，列並列の FPN 抑圧回路，PGA，ADC などの特性ばらつきに対しても同じ考え方で抑圧する各種方式が開発されている。前者の画素内の増幅トランジスタの閾値電圧のばらつきに対する抑圧不足は画素間の FPN として残るが，後者の列並列回路の特性ばらつきに対する抑圧不足は縦筋 FPN として残る。

(c) オンチップ AD 変換器

CMOS イメージセンサでは AD 変換器 (ADC) をオンチップに集積し，信号をデジタルデータとして出力することも一般的になっている。画素アレイ走査後に AD 変換するタイプの CMOS イメージセンサには，パイプライン ADC などが，列並列タイプの CMOS イメージセンサには，積分型，逐次比較型，巡回型 ADC などが使われている。

(d) PGA (Programmable Gain Amplifier)

ADC の最大入力レンジは製造プロセスに依存する MOS トランジスタの特性と電源電圧から予め決まっているので，このレンジを有効に使うため，画素の信号をそのレベルに応じて ADC 前に置かれた PGA (Programmable Gain Amplifier) で増幅する。

ADC の入力レンジを可変にすることで，この PGA を省略する構成もある。

(e) 出力回路

アナログ出力の CMOS イメージセンサでは，所定の出力レートでオフチップの負荷容量を波形の劣化なしに駆動するのに十分強力な出力バッファが必要である。

一方，デジタル出力センサでは，CMOS レベルのデジタル値をパラレルに出力する (例えば 12 ビット出力の場合， $D_{11}, D_{10}, \dots, D_1, D_0$ の 12 出力) 方式，LVDS (Low Voltage Differential Signaling) のような低電圧の高速シリアルインタフェースを介して出力する方式がある。

(2) CMOS イメージセンサの画素微細化技術

(a) 画素共有技術

上記 4T 画素のままでは画素の微細化にとって不利なのは明らかであったが，画素内の電荷転送ゲート TX により，フォトダイオードと電荷検出ノードを含む信号読み出し部を分離できるので一つの信号読み出し回路部を複数のフォトダイオードに対して共有することが可

能となる。図 1・60 に例として行方向の 2 画素共有方式 (図 (a) : 回路構成, 図 (b), (c) : 配置例) を示す。図 (b) の配置では FD 容量を小さくでき, 高い電荷-電圧変換利得が得られるが, 二つのフォトダイオード形状が同一にはならないため, 特性ずれの起こる可能性がある。一方, フォトダイオード形状を同一にした (c) では, 特性がそろいが変換利得が (b) に比べて小さくなる。

画素当たりの実効的なトランジスタ数は 2 画素共有の場合 2.5, 4 画素共有の場合 1.75 となる。図 1・61 に画素微細化のトレンドを示す。画素共有技術が $3\ \mu\text{m}$ 以下の画素微細化に貢献している。

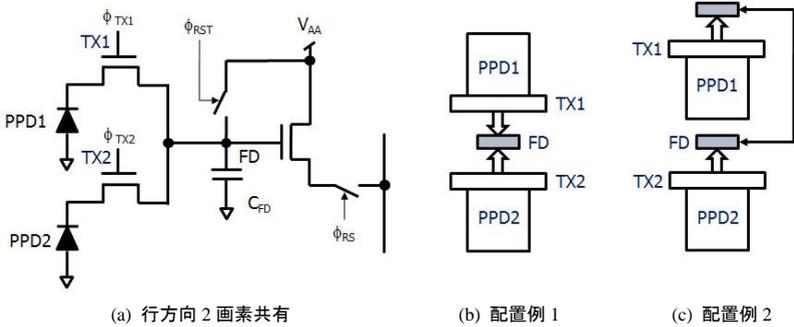


図 1・60 画素共有

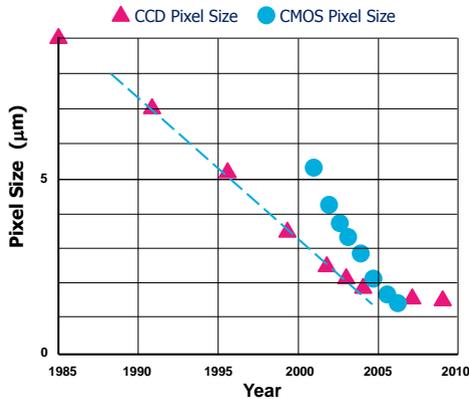


図 1・61 画素微細化のトレンド

(b) トランジスタ数の削減

電荷検出ノード FD の電位をコントロールすることにより, 行選択トランジスタを取り除くことができる。すなわち, 非選択 (読み出さない) 行の FD の電位を十分低く設定し, 行選択トランジスタがなくても, 選択 (読み出す) 行の FD 電位だけが読み出されるようにする。4 画素共有, 行選択トランジスタ削除により, 1.5 トランジスタ/画素が実現できる⁴⁾。

(c) 裏面照射

一般的に CMOS イメージセンサの画素の欠点は、多層のメタル配線を有するためオンチップマイクロレンズ底面からフォトダイオード表面までの距離 (Stack Height) が CCD イメージセンサに対して長く、入射角依存性、レンズ F 値依存性が大きいことにある。

この問題を解決するため、裏面照射型 (Back-Side Illumination : BSI) CMOS イメージセンサが実用化されている。その概念図を 図 1・62 に示す。通常の CMOS イメージセンサを BSI に対して、FSI (Front-side Illumination) CMOS イメージセンサと呼ぶと、FSI CMOS イメージセンサのメタル工程後、補強用のウェハを接着し、10 μm 弱程度までセンサウェハを研磨し、元の裏面側にマイクロレンズを形成し、その面側から光を入射させる。感度向上、レンズ F 値依存性の向上のほか、配線の自由度が大きいことも裏面照射型センサの大きな特長である⁵⁾。

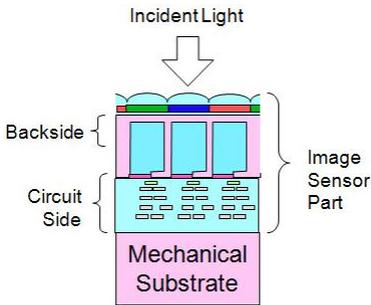


図 1・62 裏面照射型 CMOS 画素の概念図

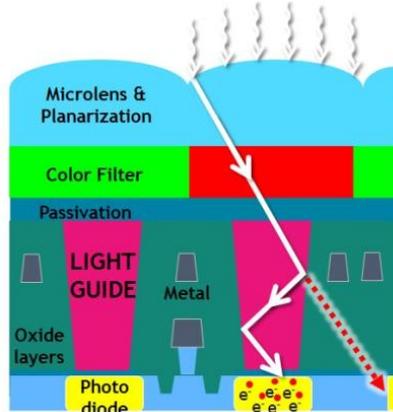


図 1・63 ライトガイド構造の概念図

(d) ライトガイド

裏面照射型は基本的に製造コストが高く、また、暗電流、画素間クロストークを抑えるため、FSI イメージセンサ以上の製造上の改善が必須となる。そのため、FSI 型 CMOS イメージセンサに 図 1・63 に示すライトガイド (Lightguide) と呼ぶ光導波構造を導入した CMOS イメージセンサが実用化されている。

ライトガイドは、最上部のメタル工程後、フォトダイオード上の絶縁層をエッチングし、絶縁層の屈折率よりも大きい屈折率をもつポリマー系材料を充填し形成される。オンチップマイクロレンズは、撮影レンズからの光をライトガイドの上部に集光するように設計される。ライトガイドがなかったとすると、大きな斜め入射角をもつ光は隣の画素へ入ってしまい(図中、破線)、あるいはメタル配線での散乱によりクロストークを生じさせるが、ライトガイドにより効率良く入射光をフォトダイオードに導くことができ、量子効率の向上、クロストークの低減を実現している。更に、この構造により実効的に Stack Height を短くすることができ、裏面照射型と同様、入射角依存性を向上している⁶⁾。

1-4-2 基本特性

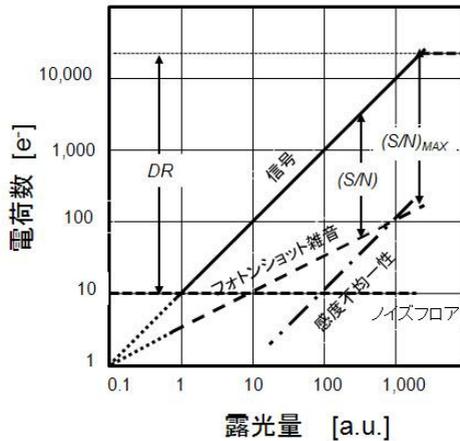
(1) 光電変換特性

(a) 分光感度特性

求められる色再現性、感度が得られ、また幅広い光源の色温度範囲に対して色処理後に色ノイズを増加させることなくホワイトバランスがとれるように、フォトダイオードの分光感度特性、オンチップカラーフィルタの分光特性を調整しながら分光感度特性を設定する。

(b) 光電変換特性

光電変換特性の例を図 1・64 に示す。露光量（イメージセンサの板面照度×蓄積時間）と信号電荷数の関係を示している。ランダム雑音は露光量によらない読み出し雑音成分（ノイズフロア）と露光量、すなわち信号電荷数の平方根に比例するショット雑音成分から成る。感度不均一性は画素の開口ばらつきなどに起因し、露光量に比例する。



最大取扱い信号電荷数: 20,000 e-
Noise Floor = 10 e-

図 1・64 光電変換特性の例

ショット雑音成分に対する信号対雑音比 (SN 比) は、信号電荷数の平方根で与えられるので、感度不均一性を除去し、SN 比を測定すれば信号電荷数が推定できる。

ダイナミックレンジ DR は飽和信号電荷数とノイズフロアの比である。

イメージセンサの感度は狭義には、信号の露光量に対する傾きで与えられる。図 1・64 の場合、感度は、[e-/Ix-s] の次元をもつ。ほかにも信号の形態により、[V/Ix-s]、[A/Ix-s]、[LSB/Ix-s] などが使われる。近年のデジタル出力 CMOS イメージセンサの A/D 分解能は 12 b-14 b あるので、その量子化ノイズはセンサのノイズフロアより十分小さい。

一方、どこまで暗いシーンまで撮像できるかが広義の感度であるが、この場合は信号と雑音の両方を考慮しなければならない。例えば、SN 比が 1 になる露光量を等価雑音露光量とし、これを感度の目安とする（これが小さいほど感度が高い）。カメラとしての感度を表記する方法として、積分時間を決め、色信号処理をした後の画像の SN 比が 10 になる光量 [Ix]

で感度を表す方法（携帯電話用イメージセンサの場合）がある。

CMOS イメージセンサでは、CCD イメージセンサにおいて発生する垂直スミアは、その X-Y アドレス読み出し方式と増幅型画素のため、基本的に発生しない。

(2) 雑音特性

(a) ランダムノイズ

光が粒子性をもつことに起因するフォトンショットノイズ、暗電流ショットノイズ、信号読み出し回路が発生するノイズがある。通常、信号読み出し回路が発生するノイズをノイズフロアと称する（暗電流ショットノイズは平均暗電流が分かれば別途計算できるので、ノイズフロアには含めない）。

最近の CMOS イメージセンサでは、電荷-電圧変換係数を大きくとり（浮遊拡散層容量 C_{FD} を小さくし）、また列ごとに設けた増幅器で画素出力を増幅し、 $2 e^-$ 以下のノイズフロアが実現されている⁷⁾。特に、列並列で AD 変換するタイプのデジタル出力 CMOS イメージセンサではノイズフロアが AD 変換後のデジタルデータ読み出し周波数（データレート）に依存しない。一方、画素サイズの縮小に伴い画素内の増幅トランジスタ M_D も小さくなり、RTS (Random Telegraph Signal) ノイズと呼ばれるバースト性ノイズが問題になっている。

(b) 固定パターンノイズ

画素内の増幅トランジスタの特性ばらつきにより発生する固定パターンノイズ（空間的にランダムに発生し、ノイズ振幅は時間的に変動しない）、画素ごとの暗電流のばらつきにより生ずる固定パターンノイズ（空間的にランダムに発生し、ノイズ振幅は積分時間に比例する）、列ごとに設けられた信号処理回路のばらつきに起因する固定パターンノイズ（縦縞状に発生し、ノイズ振幅は時間的に変動しない）などがある。

暗電流ばらつきによる成分はオンチップ FPN 抑圧回路では抑圧できない。

最近の CMOS イメージセンサでは、前述のオンチップ FPN 抑圧回路により、画素内増幅器のオフセットばらつきは視認できないくらい十分に抑圧されている。一方、列並列信号処理回路のばらつきに起因する縦縞 FPN を Digital CDS (Correlated Double Sampling; 画素出力のオフセット成分 (リセット直後の画素出力)、信号成分それぞれ別々に AD 変換し、デジタル的に減算する) により、 $0.5 e^-_{rms}$ 以下にまで抑圧できている^{8)~9)}。

(c) 暗電流

埋め込みフォトダイオードの導入、低暗電流製造プロセスの開発により、低暗電流化が進んでいる。正孔を信号とする $1.4 \mu m$ 画素、 $60^\circ C$ において、 $30 pA/cm^2$ (0.9 holes/sec)¹⁰⁾ の低暗電流が実現されている。

(d) クロストーク

画素間に信号のクロストークがあると、空間解像度、色再現性が劣化する。隣接画素間のクロストークには、入射光自体が隣の画素へと侵入してしまうことに起因する光学的クロストークと、Si 基板深くで光電変換された信号電荷が拡散により隣の画素へと侵入してしまう電気的クロストークがある。前者に対しては、マイクロレンズからフォトダイオード表面までの距離 (Stack Height) を短くする低脊化、ライトガイドの導入が有効である。一方、後者に対しては、n 形基板の採用 (信号電荷が電子の場合) で赤外光によって生じた不要な信号電荷を基板で吸収する構造が有効である。

(e) シェーディング

暗黒あるいは均一輝度の被写体の再生画像において出力が滑らかに変化する現象をシェーディングと呼ぶ。暗時シェーディングは画素や周辺信号処理回路に供給する制御パルスのみや周辺信号処理回路の電源電位、GND 電位の空間的勾配がある場合などに生じる。明時シェーディングは暗時シェーディングに加え、画素アレイ周辺部でのマイクロレンズとフォトダイオードの位置的マッチングが良好でない場合などに生じる。

CMOS イメージセンサは CCD イメージセンサに比べて Stack Height が大きく、斜め入射光に対して弱く、シェーディングやレンズ F 値依存性が大きかった。この問題を解決するために裏面入射型センサやライトガイドが導入されている。

(3) 消費電力

CMOS イメージセンサは一般に CCD イメージセンサに比べて、消費電力が小さい。その理由としては、

- (1) 電源電圧が 2.5~3.3 V と低い (一方、CCD イメージセンサでは、例えば、+3.3, +15, -8 V といった電源電圧が必要)。
- (2) X-Y アドレス読み出し方式のため、選択された画素あるいは行のみを駆動すればよい。
- (3) 駆動回路、信号処理回路などを集積化した CMOS イメージセンサでは、マルチチップ

構成の撮像部においてチップ間で消費される電力消費は基本的にない。

があげられる。一方、CCD イメージセンサでは、電荷転送という信号読み出し方式のため、ほとんど常時、垂直・水平 CCD を駆動させる必要がある。水平 CCD を駆動するための電力及び出力アンプ部での電力消費が大きい。これらの成分は周波数 (画素レート) に比例して増大する。したがって、画素数が多いほど、また、フレームレートが高いほど、消費電力に関する CMOS イメージセンサの CCD イメージセンサに対する優位性は増大する。

他方、オンチップに集積化された駆動回路、信号処理回路での発熱の暗電流への影響を考慮したチップ設計、実装設計が要求される。

1-4-3 CMOS イメージセンサの製造

CMOS イメージセンサの製造に関する利点として、汎用 CMOS 製造プロセスをそのまま用いることによる低コスト化があげられる。しかし、高画質化が進む現在の状況において必ずしもこの構図は成り立っていない。CCD と同等、またはそれ以上の高画質化を目指す現在の CMOS イメージセンサにおいては Pinned Photo Diode (PPD) 構造が用いられるのが一般的だが、この PPD 構造は CCD 画素構造をほぼそのまま用いており、この構造を作製するために新たな工程を付加しなければならず、汎用 CMOS プロセスをそのまま流用できない状況が生まれている。また、イメージセンサの微細化による光利用効率が低下する問題を集光構造の最適化により低減させることが一般的だが、これもまた汎用 CMOS 製造プロセスとの乖離を生じさせる。特に単位画素サイズが $2 \mu\text{m}$ 以下になった頃から用いられている裏面照射型 CMOS イメージセンサにおいては、汎用 CMOS プロセスとは異なるシリコン基板を用いることから始まり、ウェハの貼合せ工程などの特殊なプロセスを用いなければならず、画素の微細化が進むほど CMOS イメージセンサ専用プロセスが必要とされてきている。

CMOS イメージセンサに求められる製造技術の特徴として、汎用 CMOS 製造プロセスに比

べ、欠陥のコントロールが非常に重要であることが上げられる。この欠陥とは、「ムラ」や「白キズ」に代表される「画素欠陥」といった、固体撮像素子としての性能を左右するものである。特に動画、静止画にかかわらず人間の視覚を対象としたイメージセンサにおいては、画面内での出力ムラを % 以下のオーダーに、白キズ個数を全画素に対して ppm 以下の個数に抑え込む必要がある。また、メモリデバイスで常用される冗長回路を導入することができないので、全画素が無欠陥である必要もある。これは、人間の視覚が周期的なノイズや欠点に対する感度が非常に高いことに起因している。

フォトダイオードや集光構造に起因する画像ムラに関しては、その構造を構成しているすべてのパターンサイズのばらつきを低減させるため、マスク作製時の描画方法や各パターン層の重ね合わせ精度向上のための特殊アライメント方法の導入などの特殊技術も用いられており、これらは汎用 CMOS プロセスにないイメージセンサ製造技術固有の技術といえる。また、カラーイメージセンサにおいては、オンチップカラーフィルタの塗布ムラに起因する画像ムラにも対応しなければならず、下層プロセスとの整合（特に段差部分で発生する塗布ムラ）や実チップ以外の部分の平坦化にも配慮された製造プロセスを用いることにより、これらの問題に対処している。

金属汚染やプロセスに起因する結晶欠陥によって発生する白キズに対しては、汎用 CMOS 製造プロセスに求められる汚染・欠陥密度の数百分の一程度のレベルが求められる。具体的には、DRAM におけるリフレッシュ特性にて許容されるトランジスタのリーク電流は、数十 nm の W, L のトランジスタ当たり ~100 fA 以下とされているが、デジタルスチルカメラでの長時間蓄積モードの場合（電荷電圧変換効率にもよるが）、数 μm 角の面積で同程度もしくはそれ以下の発生電流に抑えなければならない。これは、各工程での金属汚染などを検出下限以下にしなければならぬことを意味しており、最先端 CMOS プロセス以上のクリーン化が求められている。

画素欠陥が許容されないということは、製造工程内で発生するゴミによるパターン異常や PID (Process Induced Damage) による素子破壊が受光素子全域にわたって許容されないということである。しかも、デジタル一眼レフカメラ向けイメージセンサに代表される大型イメージセンサは、無欠陥であることが要求される。この低欠陥密度の製造工程を構築する際には、汎用 CMOS 工程に比べて、より高感度な欠陥評価、解析方法も導入する必要がある、汎用化された工程をそのままイメージセンサ製造プロセスに適用できない場合がある。

また、1-4-1(2)項、1-4-2(2)項で説明した低脊化のために、金属配線、層間膜の薄膜化が図られているが、これは寄生容量を増加させるため、汎用 CMOS 製造プロセスにはない CMOS イメージセンサに特有の項目である。

このように CMOS イメージセンサ製造プロセスは、汎用 CMOS 製造プロセスと異なる点や特異な点が多くあり、イメージセンサの高性能化、多画素、微細画素化が進むにつれ、イメージセンサ専用製造工程の必要性が高くなり、かつ、特殊な製造工程管理技術も必要となる。前述の裏面照射型イメージセンサを例にとると、最終配線層以降の製造工程は汎用 CMOS 製造工程とは全く異なるプロセスであるため、製造工程全体の 1/5~1/4 程度が専用工程化されなければならない。水平分業化が進んでいる半導体製造において、イメージセンサ専用製造プロセスをもつ垂直統合型の形態をとるイメージセンサ供給メーカーが、特に高画質が必要とされるハイエンドコンシューマー製品群において一定以上のシェアを確保していること

からも、CMOS イメージセンサ専用製造プロセスの CMOS イメージセンサへの適用が推察される。

最近では、製造を外部ファブリーに委託する設計メーカーの製品のシェアも増加しており、これは汎用 CMOS 製造プロセスの世代が進んだことによる欠陥コントロールの向上とファブリーメーカーのイメージセンサ製造プロセスへの適応力の向上（部分的なイメージセンサ製造プロセスの適用）によるものと考えられる。今後もこの流れが大きくなっていくと考えられるが、汎用 CMOS 製造プロセスがそのまま適用できない状況に変わりはなく、CMOS イメージセンサ専用製造プロセスが必要である。

1-4-4 高速読み出し CMOS イメージセンサ

CMOS イメージセンサは、駆動回路/信号処理回路をイメージセンサ上に集積化可能、低消費電力という優れた特長をもつ。これらの特長をイメージングシステムの小型化、低コスト化に適用した例が、携帯機器用に開発された“Camera-on-a-chip” CMOS イメージセンサ²⁾である。一方、上記特長に加え、読み出し方式の自由度が大きという特長を有効に用い、高速度カメラ用などに用いられる CMOS イメージセンサが開発されている。

いわゆる高速撮像 CMOS イメージセンサといった場合には、画素数ある程度抑えた（現状 100 万画素クラス）、毎秒の出力フレーム数が数百フレーム/秒（以下 fps: frames per second）以上のイメージセンサということになるが、近年の多画素化の進展に伴う高精細動画用イメージセンサにも数百 fps 以上が要求される高速カメラ用イメージセンサ技術とほぼ同じ技術が用いられている。例えば、130 万画素、500 fps センサ¹¹⁾、512×512 画素、5000 fps センサ¹²⁾といった高速カメラ用センサに使用されている逐次比較型列並列 AD 変換技術やパイプライン処理が、60 fps、890 万画素高精細動画イメージセンサ⁸⁾（実効読み出しレート 500 Mpixels/s）に使われている。

(1) 並列出力

数百 Mpixels/s の実効読み出しレートを得るには並列出力が必須となる。図 1・65 に並列出力のアーキテクチャを示す。(a)は並列アナログ出力、(b)は列並列 AD 変換器内蔵デジタル出力のアーキテクチャである。(a)では複数のアナログ出力を別チップのアナログ信号処理回路が受け、AD 変換される。複数の高帯域アナログ信号の特性を一致させるには高度なアナログ信号処理技術が必要である。一方、(b)ではオンチップ AD 変換後、デジタルデータを並列出力する。近年では、このアーキテクチャが高速読み出し CMOS センサの主流になっている。

(2) 並列処理：オンチップ ADC

要求される総画素数とフレームレートに依存するが、高速読み出しセンサの水平走査期間は数 μ s であり、この時間内に AD 変換を完了できる高速 AD 変換技術が必要になる。数百 ksp/s (samples per second) から数 Msps の中低速 AD 変換器を列ごとに配し、並列動作させることで等価的に高速 AD 変換を実現する列並列アーキテクチャが消費電力の点からも適している。

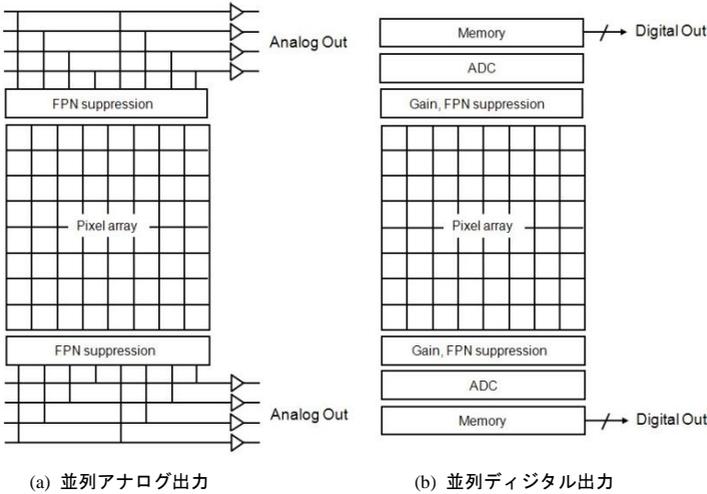


図 1・65 高速読み出しセンサのアーキテクチャ

(3) パイプライン処理

並列処理とともに、水平走査期間が数 μs しかとれない高速読み出しのために、何らかのパイプライン動作が必須になる。例えば、図 1・65 (b) の構成において、2 段構成のラインメモリバンク (MEM1, MEM2) をもつことにより、 N 行目の画素のデジタルデータを MEM2 から (センサから) 読み出すと同時に、 $(N+1)$ 行目の AD 変換、MEM1 へのデータ書き込みを行う、などである。

(4) グローバルシャッタ画素

CMOS イメージセンサの読み出しはいわゆる X-Y アドレス方式であるので、通常の画素 (現在の携帯機器/民生用デジタルカメラ応用では、4T の埋め込みフォトダイオード画素が主流) では、信号電荷蓄積の開始、終了時間が行ごとに 1 行期間だけずれており (ローリングシャッタ)、フレームレートが低い場合、速く動いている被写体の再生像が歪んでしまう。フレームレートが十分高ければ、見ためにはほとんど気にならなくなるが、計測用途に高速撮像センサを使う場合には画像歪補正のための計算機処理が煩雑になるため、信号電荷蓄積の開始、終了時間が全画素同じになるグローバルシャッタ画素が要求される。

グローバルシャッタ画素では画素内にアナログメモリが必要になるので、同じ画素サイズのローリングシャッタ画素に比べてフォトダイオードの開閉率が落ちてしまう。また、アナログメモリ部での信号保持特性が重要である。これらの特性改善がグローバルシャッタ画素の課題である。

(5) 出力形式

デジタルデータを並列に出力している高速読み出しセンサでは、(AD 変換のビット数 \times 出力ポート数) の出力ピン数が必要で、かつ CMOS の電源電圧振幅でデジタルデータが振

れるため、センサのアナログ回路へのノイズ混入による画質劣化の可能性がある。この問題に対して、LVDS (Low Voltage Differential Signaling), Sub-LVDS, SLVS (Scalable Low Voltage Signaling) といった 200 mV~400 mV の差動振幅をもつ出力形式の採用が図られている。デジタルデータをこのような高速シリアルインタフェース (> 500 Mbps) を採用することで、ピン数の削減、及び高画質化が図れる。

■参考文献

- 1) N. Teranishi, et al., "No image lag photodiode structure in the interline CCD image sensor," IEDM Tech. Dig., pp.113-116, 1982.
- 2) E. R. Fossum, "CMOS image sensors: Electronic camera-on-a-chip," IEEE Trans. ED, vol.44, no.10, pp.1689-1698, 1997.
- 3) 高橋秀和, "CMOS イメージセンサの低ノイズ化動向," 映情学誌, vol.62, no.3, pp.303-306, 2008.
- 4) 高橋秀和, "CMOS イメージセンサにおける画素縮小化技術," 映情学誌, vol.60, no.3, pp.295-298, 2006.
- 5) S. Iwabuchi, et al., "A back-illuminated high-sensitivity small-pixel color CMOS image sensor with flexible layout of metal wiring," ISSCC Dig. Tech. Papers, 2006.
- 6) G. Agranov, et al., "Pixel continues to shrink...Pixel development for novel CMOS image sensors," International Image Sensor Workshop, 2009.
- 7) A. Krymski, et al., "A $2e^-$ noise 1.3megapixel CMOS sensor," IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors, 2003.
- 8) S. Matsuo, et al., "A very low column FPN and row temporal noise 8.9M-pixel 60fps CMOS image sensor with 14bit column parallel SA-ADC," Symp. VLSI Circuits Dig. Tech. Papers, pp.138-139, Jun. 2008.
- 9) J-H. Park et al., "A high-speed low-noise CMOS image sensor with 13-b column-parallel single-ended cyclic ADCs," IEEE Trans. ED, vol.56, no.11, pp.2414-2422, 2009.
- 10) E. Stevens, et al., "low-crosstalk and low-dark current CMOS image-sensor technology using a hole-based detector," ISSCC Dig. Tech. Papers, pp.61-62, 2008.
- 11) http://www.aptna.com/products/image_sensors/mt9m413c36stc/#overview
- 12) A. Krymski and N. Tu, "A 9-V/lux-s 5000-frames/s 512×512 CMOS sensor," IEEE Trans. Electron Devices, vol.50, no.1, pp.136-143, Jan. 2003.