

## 6.12.5 多孔質カーボン電極型大気圧プラズマ CVD 法の開発

### (1) 研究の背景と目的

Si エピタキシャル (エピ) ウェハは、結晶の完全性が高いことや p/p<sup>+</sup>構造が得られることから、デバイス製造用ウェハとして用いられている。現在のエピウェハは、1000°C以上の高温での熱的な化学気相堆積 (Chemical Vapor Deposition: CVD) 法により製造されているが、不純物の再分布やコスト高などの問題があり、プロセスを 900°C以下に低温化することが望まれている。また最近では、インライン・プロセス (デバイス製造工程の途中で実施されるプロセス) としての低温 Si エピ成長技術に対する関心が高まっており、主要デバイス部分作製後の p<sup>+</sup>、n<sup>+</sup>層や微細構造の形成を目的とした *in situ* ドーピングエピ成長および選択エピ成長技術の開発が盛んになっている。

インラインエピ技術では、デバイス領域の不純物拡散が顕著にならない温度 (750°C以下)、さらに Al 配線後に適用する場合には 550°C以下での低温成長が求められる。このような低温エピ成長技術が確立されれば、3 次元的に集積化された超 LSI デバイスを始め、従来作製不可能であった新規デバイス構造実現の可能性も考えられる。上記のような必要性から、近年、熱以外のエネルギー源としてプラズマやイオンを利用した様々な方法による低温 Si エピ成長の研究が行われている。

本研究では、我々が独自に開発を進めてきた大気圧プラズマ CVD 法を活用し、Si の低温・高速エピ成長技術の確立を目指している[6.12.5-1~4]。ウェハ全面に均一な大気圧プラズマを発生させるために、従来から用いている回転電極 (6.3 節参照) に代わり、多孔質カーボン電極を開発した。

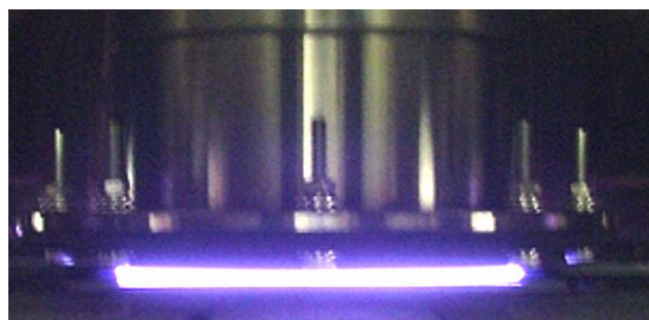
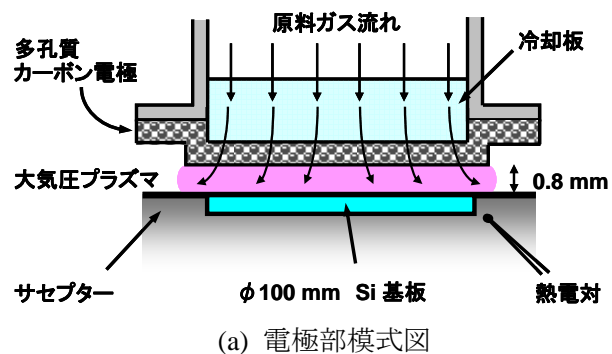
### (2) 多孔質カーボン電極型大気圧プラズマ CVD 法

大気圧プラズマ CVD 法で Si エピ成長を行う場合、プラズマ/雰囲気界面 (プラズマ部とその外側の気相との界面) に位置する部分の Si 表面上でエピ成長が乱れ易い[6.12.5-2]。我々は、この問題を解決するため、多孔質カーボン電極を開発した[6.12.5-3]。多孔質カーボン材料は、平均粒径 70 μm のカーボン粒子の焼結体であり、気孔率は 31 %である。図 6.12.35 にプラズマ発生部の断面模式図(a)および大気圧プラズマ発光の様子(b)を示す。電極直径は 105 mm であり、プラズマが 4 インチウェハ全面 (1 インチは 25.4 mm) を覆う構造となっている。大気圧の He ガス中に、SiH<sub>4</sub> と H<sub>2</sub> をそれぞれ 0.07 % 混合したガスを、多孔質カーボン電極 (厚さ 3 mm) を通してプラズマ中に供給するため、プラズマ/雰囲気界面は基板表面と接しない。

多孔質材料は表面積が大きいので、十分なベーキング (加熱脱ガス) が必要であり、本研究では、電極を通して高純度 He ガスを 20 l/min で流しながら大気圧プラズマを発生させ、800°C、20 分のベーキングを行うことにより、水分などの吸着物を除去した。また、高純度 Si エピ成長を行うため、多孔質表面に厚さ 20 nm 程度の Si 膜を被覆した。

### (3) 研究成果例

基板には、4 インチ(001) Czochralski (CZ) -Si ウェハを用いた。150 MHz の高周波 (Very High Frequency: VHF) 電源を用い、多孔質カーボン電極と Si 基板間の 0.8 mm のギャップに大気圧プラズマを発生させた。表 6.12.1 に、Si エピ成長条件を示す。成長前に、He 中に H<sub>2</sub> を 0.07% 混合したガスを用いて、基板表面の大気圧水素プラズマクリーニングを行った。Si 成膜は、この水素



(b) 大気圧プラズマ発光の様子

図 6.12.35 多孔質カーボン電極による大気圧プラズマ生成

プラズマ中に原料ガスとして  $\text{SiH}_4$  を供給することにより開始し、所定時間後プラズマを遮断することにより成膜を終了した。

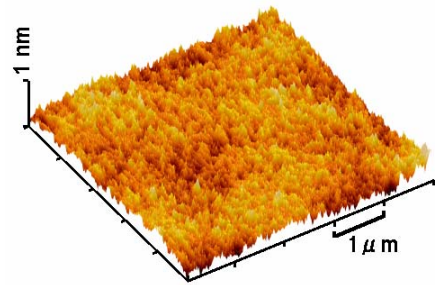
図 6.12.36 に、 $T_s = 570^\circ\text{C}$  で成長したエピ膜表面の原子間力顕微鏡 (Atomic Force Microscopy: AFM) 像(a)、および集光したハロゲンランプ照射下の外観写真(b)を示す。4 インチウエハ全面において、表面の曇りや異常な散乱体のない良好なエピ成長が行われていることが分かる。また、表面ラフネスは、自乗平均平方根 (Root Mean Square: RMS) 粗さ  $0.08 \text{ nm}$  であり、原子 2 層分程度である。大気圧プラズマ CVD 法では、このように非常に平坦な Si 表面が得られることから、低基板温度においても表面原子の移動が十分起こっていると想像される [6.12.5-3]。

図 6.12.37 は、 $T_s = 470^\circ\text{C}$ (a),  $520^\circ\text{C}$ (b),  $570^\circ\text{C}$ (c) で成長した Si エピ膜の断面透過電子顕微鏡像である。界面および膜中に全くコントラストは見られず、無欠陥のエピ成長が行われていることが分かる [6.12.5-4]。選択エッチングを行ったエピ膜表面には、ピットやヒロックは観察されず、広領域 ( $1 \text{ cm}$  角に切り出した試料 5 枚) の観察においても無欠陥であった [6.12.5-3]。

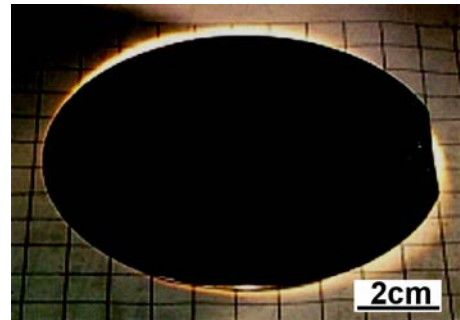
図 6.12.38 に、大気圧プラズマ CVD 法および熱 CVD 法による Si エピ成長速度の温度依存性を示す。成長速度は、エピ成長後のウエハの質量増加から算出した平均膜厚を、成膜時間で割ることにより求めている。大気圧プラズマ CVD 法による成長速度は温度の低下と共に減少するが、熱 CVD 法のように急激ではなく、低温では主として大気圧プラズマのエネルギーでエピ成長が進むと考えられる。図 6.12.38 より、約  $400^\circ\text{C}$  以下で、成長速度の温度依存性が飽和する傾向にあることから、 $400^\circ\text{C}$  以上ではエピ成長に対し熱エネルギーも寄与しており、温度の増加と共に成長速度が増大すると考えられる。平均成長速度は、 $T_s = 570^\circ\text{C}$  で  $0.35 \mu\text{m}/\text{min}$  であり、 $900^\circ\text{C}$  の熱 CVD 法と同等の高い値が得られている。 $610^\circ\text{C}$  における大気圧プラズマ CVD 法による最大成長速度は  $1.2 \mu\text{m}/\text{min}$  であることから [6.12.5-1]、成長条件の最適化により、さらなる成長速度の増加が期待できる。

表 6.12.1 Si エピ成長条件

サセプタ温度 $T_s$ ( $^\circ\text{C}$ )	370 – 570
He 流量 ( $\text{l}/\text{min}$ )	75
$\text{H}_2$ 流量 ( $\text{cc}/\text{min}$ )	50
$\text{SiH}_4$ 流量 ( $\text{cc}/\text{min}$ )	50
プロセス圧力 (Pa)	$10^5$
プラズマギャップ (mm)	0.8
VHF 電極密度 ( $\text{W}/\text{cm}^2$ )	40
成膜時間 (min)	3 – 5



(a) AFM 像



(b) エピ成長後のウエハ外観

図 6.12.36  $T_s = 570^\circ\text{C}$  で成長した Si エピ膜の表面観察結果

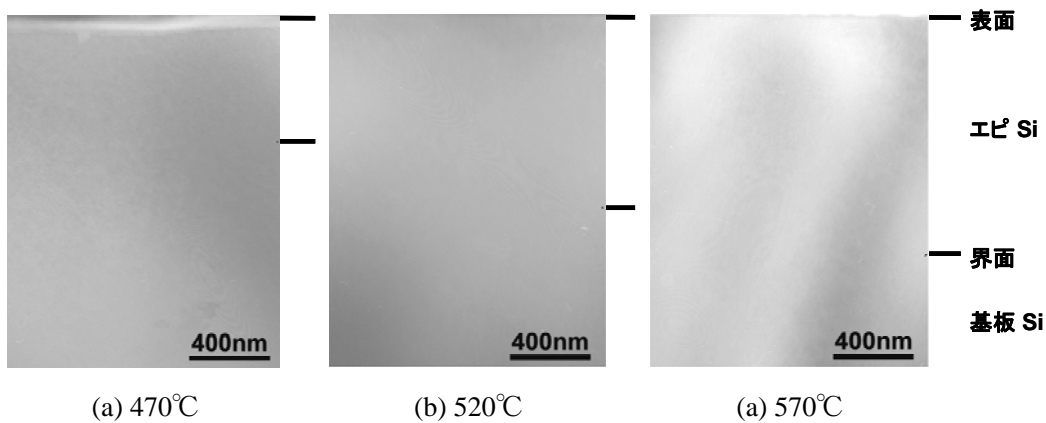


図 6.12.37 Si エピ膜の断面透過電子顕微鏡像

また、プラズマギャップを小さくすると、プラズマの単位体積当たりの電力密度が上昇すること、およびプラズマ中で分解されたラジカルの基板表面への輸送効率が高くなることから、成長速度が上昇する。ギャップを 0.7 mm 以下に減少させると成長速度は急激に上昇し、0.25 mm の場合、約 8 倍の成長速度が得られる。しかし、狭ギャップ条件では、±0.1 mm のギャップ変動で、成膜速度が 2 倍以上変動するため、ギャップ幅を一定にするための機構が必要となる。そのため今回は、ギャップ変動に鈍感な 0.8 mm ギャップで実験を行っている。

Si 成長における SiH<sub>4</sub> 利用効率は、ギャップ 0.8 mm の場合 5~6%、0.25 mm の場合 40~48% である。以上のことから、成長速度と SiH<sub>4</sub> 利用効率の両面において、今後、狭ギャップでの成長条件の最適化が必要と考えられる。

Si エピ膜を半導体デバイス活性層として用いる場合には、SIMS 検出限界以下の微量な不純物や欠陥の高感度な評価が必要である。エピ膜自身の定量的評価には、空乏層をエピ膜中に限定できる MOS (Metal Oxide Semiconductor) - Ct (容量-時間) 特性の測定が有効である [6.12.5-5]。図 6.12.39 は、T<sub>s</sub> = 570°C で成長した n/n<sup>+</sup>構造の Si エピ試料に、熱酸化膜を 20 nm、Al 電極を 100 nm 形成した MOS デバイスの Ct 特性 (挿入図) および、Zerbst プロットを示す。Zerbst 解析から、少数キャリア発生寿命は約 2.0 ms と求められた。

低ドーピング濃度 (2.6 × 10<sup>14</sup> cm<sup>-3</sup>) の n 型 CZ-Si 基板を用いて、上記の Si エピ試料と同時に形成した MOS デバイスの少数キャリア発生寿命は、約 0.12 ms であった。よって、図 6.12.39 の Si エピ試料の少数キャリア発生寿命は、CZ-Si 基板よりも高く、むしろ市販の高品質 Si エピウエハ (2-3 ms) に近い、極めて高い値と言える。また、T<sub>s</sub> = 520°C で成長した Si エピ膜においても、室温フォトルミネッセンスの強度が CZ-Si 基板より高く、より高品質であることが示されている [6.12.5-4]。

低温領域でこのように高品質な Si エピ成長が生ずる要因は、先に述べたように大気圧プラズマによる表面加熱だけでは説明できない。ラジカルのエネルギー、分子の振動温度、原子状水素と表面の発熱反応などがエネルギーを供給して、表面反応を促進していると考えられるが、今後、より詳細な研究が必要である。

#### 参考文献

- [6.12.5-1] K. Yasutake, H. Kakiuchi, H. Ohmi, K. Yoshii and Y. Mori: Appl. Phys. A81, 1139 (2005).
- [6.12.5-2] K. Yasutake, H. Ohmi, T. Wakamiya, H. Kakiuchi and H. Watanabe: Jpn. J. Appl. Phys. 45, 3592 (2006).
- [6.12.5-3] H. Ohmi, H. Kakiuchi, N. Tawara, T. Wakamiya, T. Shimura, H. Watanabe and K. Yasutake: Jpn. J. Appl. Phys. 45, 8424 (2006).
- [6.12.5-4] K. Yasutake, N. Tawara, H. Ohmi, Y. Terai, H. Kakiuchi, H. Watanabe and Y. Fujiwara: Jpn. J. Appl. Phys. 46, 2510 (2007).
- [6.12.5-5] 桐畑豊、田原直剛、大参宏昌、垣内弘章、渡部平司、安武潔：第 54 回応用物理学関係連合講演会講演予稿集、p.905 (2007).

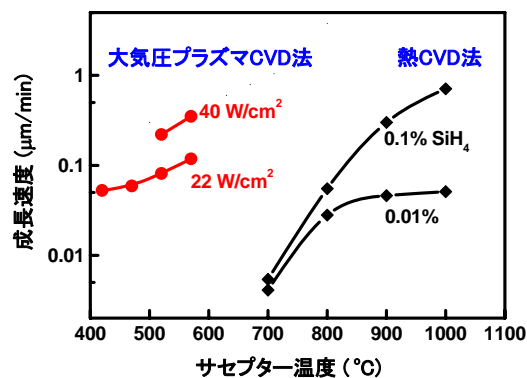


図 6.12.38 平均成長速度の温度依存性

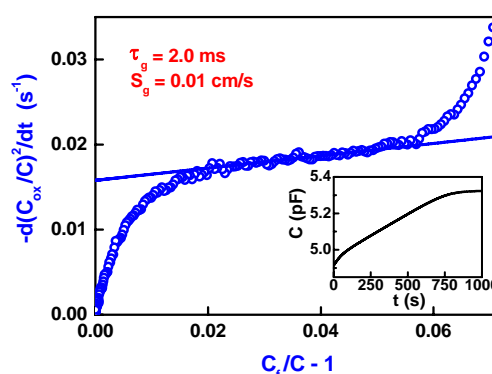


図 6.12.39 n<sup>+</sup>Si 基板上に T<sub>s</sub>=570°C で成長した n 型 Si エピ膜の MOS-Ct 特性 (挿入図) および Zerbst プロット