

半導体集積回路の概要と試作品の特性

Outline of Semiconductor Integrated Circuits and Characteristics of Prototype

田内省二* 柴田昭太郎**
Shōji Tauchi Shōtarō Shibata

内容梗概

最近の集積回路の概要と分類について述べ、半導体集積回路の基礎的諸問題を検討し、試作コレクタ分離形ダーリントン回路の概略と特性を述べた。この回路は直線増幅回路素子として低周波から高周波まで広く用いられている。終わりに今後の半導体集積回路の新技术とその動向につきふれた。

1. 緒言

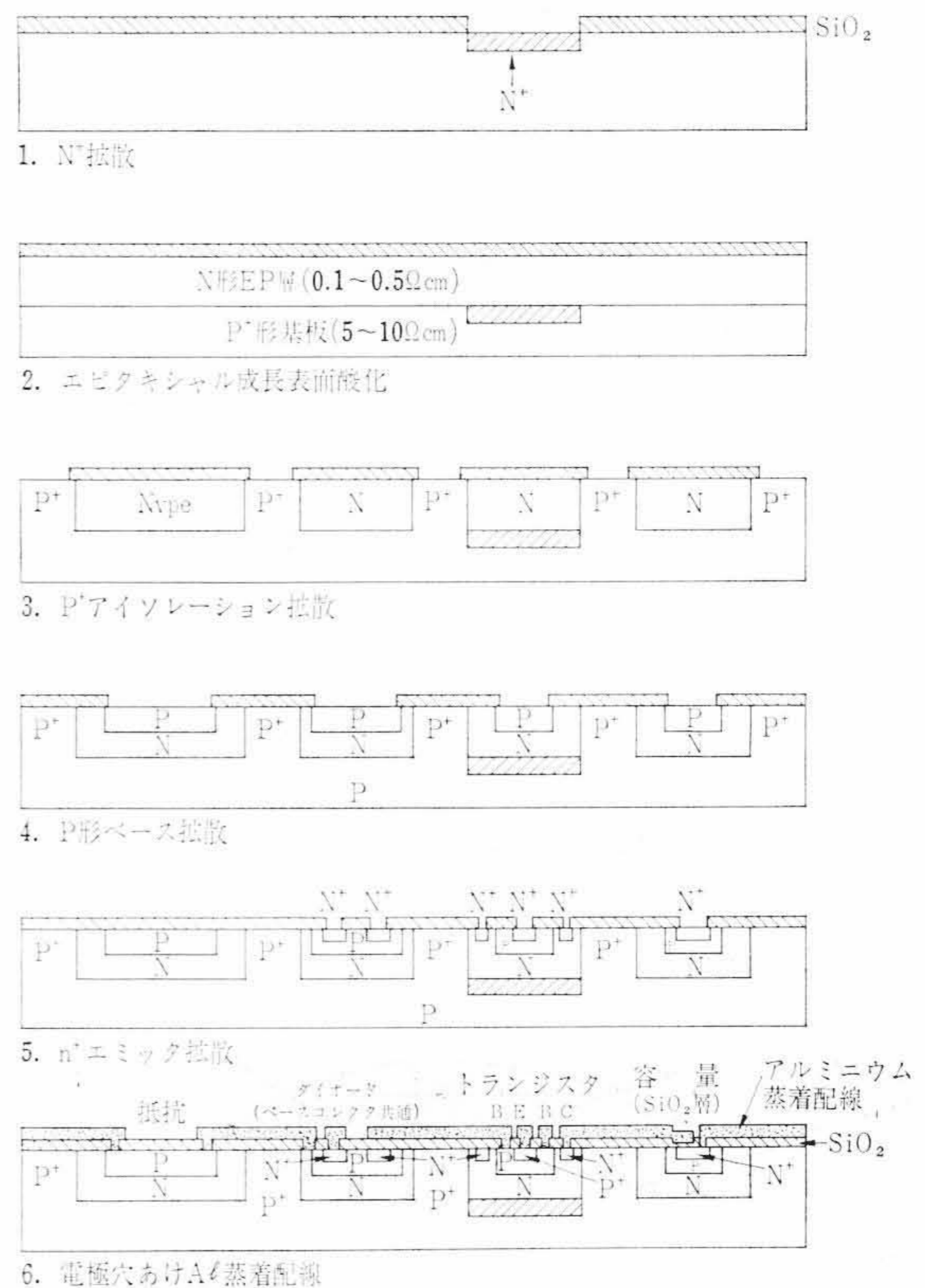
超小形電子回路技術の進歩につれその様式と分類がかなりはっきりしてきた(第1表参照⁽¹⁾)。このうち集積回路(Integrated Circuits以下ICと略す)は最も小形化と高信頼の機能を果たすものとみられる。特に半導体集積回路(以下半導体ICと略す)は、Siプレーナ技術の進歩によって急速な発展を遂げ、アメリカでは軍用ばかりでなく、汎用にも用途が拡大されつつある。その歩留りも初期の1%以下から最近では数十%に向上した。半導体ICでは抵抗、コンデンサ類を拡散法でつくと、絶対値の精密制御が困難なため薄膜集積回路(以下薄膜ICと略す)に劣るとされている。しかしながら、Emitter Coupled Logic その他のデジタル回路では回路特性が抵抗値の絶対値よりはむしろその比の値で支配される。また近い将来、半導体集積回路のSiO₂膜上への薄膜受動素子製造技術が確立されれば(いわゆるMonobrid形式などともよばれる)、名実ともに低価格、高信頼、超小形、および回路の高速化なども可能となり、用途も著しく広汎なものとなろう。これには上述の技術と、特殊なアイソレーション技術(絶縁物アイソレーション法、Beam-Lead法その他)が工業化される必要がある。

これに対し薄膜ICでは、現在、薄膜能動素子が実用化されていないので厳密な意味では完成された技術といえないが、これもやがては実現されるとみられるので、受動素子の量産技術とともに重要な分野と考えられる。特に蒸着法、スパッタリング法、サーメット技術などが着々と確立され、いずれも量産性に富みかつ設備投資も半導体ICに比べて少なくすむ。特に膜厚の制御やホトレジスト技術や電子線加工技術などによる精密加工法の開発につれて回路仕様のきついアナログ用として欠かせぬものとなろう。

以上のほか重要な技術として蒸着法やプリント法で絶縁物基板上にまず薄膜受動素子と、薄膜配線を取り付け、これにプレーナ形ダイオードやトランジスタなどの能動素子を取り付けるハイブリッドC方式もIBM社のSLT(Solid Logic Technology)として工業化され、最近では数社で企業化している重要な技術といえる。これらの技術のいずれが最も広範囲に使われるかは将来の技術の発展にまつところ大であるが、現在では半導体ICはデジタル用、薄膜と半導体を混合したハイブリッド形はアナログ用に適しているとみられる。

一方、多数キャリア素子として最近開発されたMOS形電界効果トランジスタ(MOS形FETと略す)は真空管に匹敵する高入力インピーダンス(10⁹~10¹⁵Ω)や放射線耐量がトランジスタよりも大きいなどの特長をもち、現在トランジスタ市場で注目を集めている。このMOS形FETをIC化の立場からみると構造上ドレイン、ソースおよびゲートが基板から分離されているので半導体ICのように

第1表 超小形電子回路の分類



第1図 半導体I, Cの製造工程

各素子間のアイソレーションをする必要がないという大きな特長をもっている。

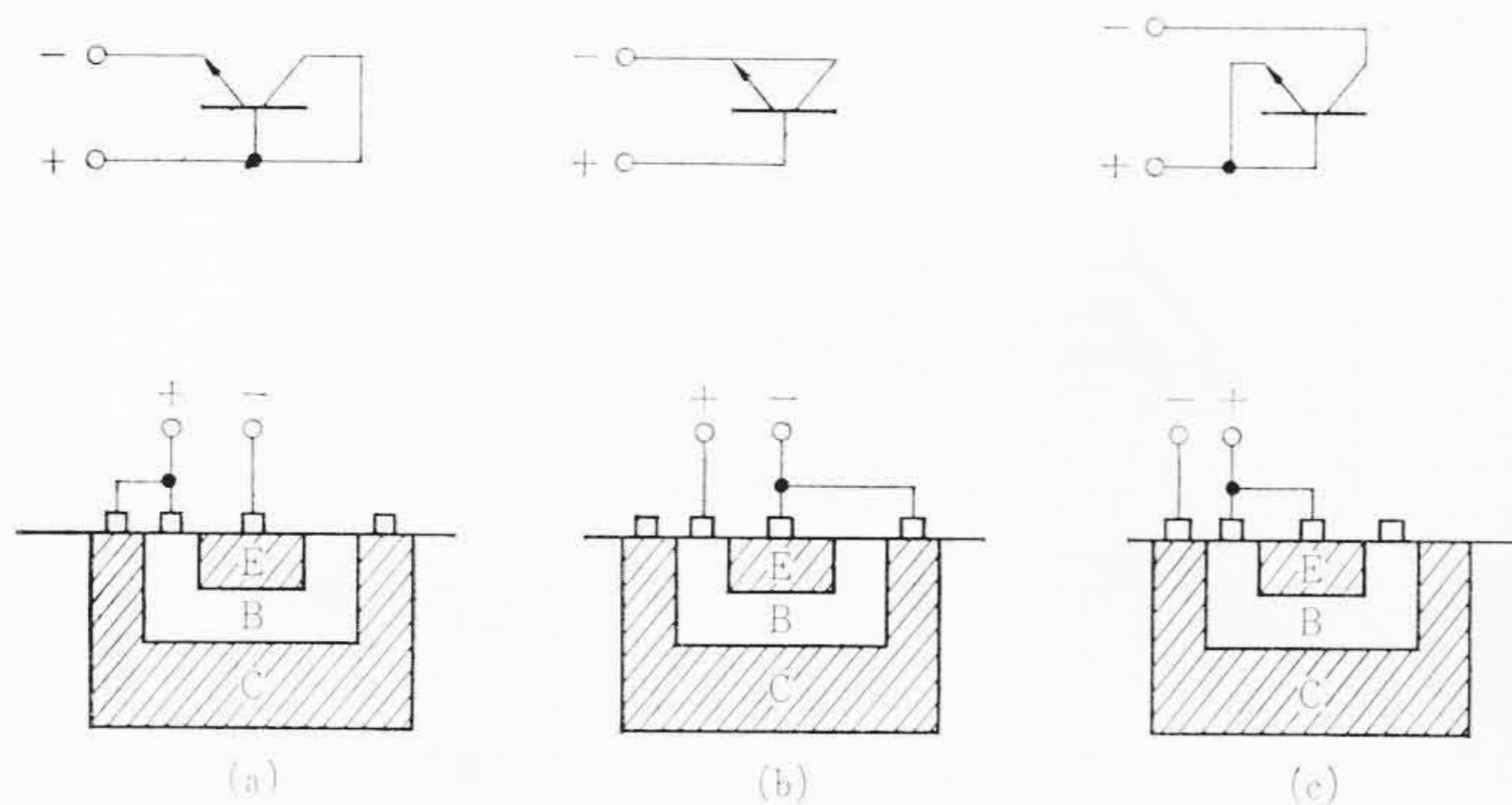
本文では半導体IC技術とMOS形ICについて述べる。

2. 半導体集積回路技術の概要

半導体ICではトランジスタ、ダイオード、抵抗および容量などの回路構成要素全体が一枚のシリコン基板上に形成される。製造工程の代表例は第1図に示すとおりである⁽¹⁾。この例ではp形シリコン基板を用い、そのトランジスタのコレクタになる部分にn+のコレクタ拡散層をつくり、この基板上にn形シリコンをエピタキシャル成長させ、p形の部分拡散によってn形部分を分離してその各部に図

* 日立製作所中央研究所 理博

** 日立製作所武蔵工場 工博



第2図 半導体 I, C におけるダイオードの使い方

第2表 集積回路用抵抗の特性

パラメータ	Monolithic (Si)		薄膜	
	拡散 (p)	拡散 (n)	ニクロム	サーメット
層抵抗 (ohms/square)	100~300	2.5	40~400	100~1,000
抵抗値 (ohms/mil ²)	50~150	1.25	20~200	50~500
温度係数 (ppm/°C)	+2,800~1,500	+100	±100(±10%以内調整可能)	-55
電力容量 (mW/mil ²)	3	3	2	—
最大電圧 (V)	20	6	—	—
実用的許容値 (%)	±20	—	±8	±8
分布容量 (PF/mil ²)	0.2	0.6	—	—

第3表 集積回路用コンデンサ特性

	Si			薄膜		
	単一拡散 pn 接合	二重拡散 pn 接合	熱生成 SiO ₂	SiO ₂	ポロアルミ 1 シリケート ガラス	酸化 タンタル
容量 (PF/mil ²)	0.1 at V _{bias} =0	1.0 at V _{bias} =0	~0.25	0.01	0.4	2.5
最大電圧 (V)	30	6	50	50	50	20
損失係数	1 kc/s	100		2.5	0.2	0.8
	1 Mc/s		0.7	0.7	0.2	0.3
	10 Mc/s		2.0		1.0	
温度係数 (ppm/°C)	Low	Low	Low	±200 ±50	+115	+400
電圧感度	~V ^{-1/2}	~V ^{-1/2}	0	0	0	0
極性	有	有	なし	なし	なし	なし
並列容量 (°C)	25	25	18	≈0	≈0	≈0
5Vのリーク電流 (A/PF)	10 ⁻⁹	10 ⁻⁹	10 ⁻⁹	10 ⁻¹¹	10 ⁻¹⁵	10 ⁻¹⁵

のようにトランジスタ、ダイオード、抵抗などを選択拡散法で作る。抵抗はベース拡散による p 形の層抵抗を用いており、トランジスタは n⁺埋込層のため飽和抵抗がエピタキシャルトランジスタなみに下がっている。ダイオードにはエミッタとベースコレクタ共通電極間の接合を用いている。ダイオードとしては第1図のほか、第2図 (b), (c) に示すようにエミッタ、コレクタ共通電極とベース電極間、およびエミッタ・ベース共通電極とコレクタ電極間の接合を使う方法があり、使用目的に応じてどれかを用いるが、(a), (b), (c) の順にスイッチング速度が遅くなる⁽²⁾。Au を添加すると 2~3 ns のものが得られる。容量は SiO₂ 層をはさんでエミッタ拡散層と上部 Al 蒸着膜とで形成している。このほか接合容量を用いることもある。半導体 IC 用抵抗、容量の代表性能は第2, 3表に示すとおりである⁽³⁾。緒言で述べたそれぞれの特長が一目してわかる。すなわち薄膜容量、抵抗では製作可能範囲が広く、精度もよく温度係数も小さいので精密化に適し、また並列浮遊容量もほとんどないため高速化にも適していることがわかる。npn トランジスタの代表性能を第4表に示す⁽³⁾。pnp トランジスタも同程度のものが得られているが、ベース内少数キャリアの易動度が小さいことや n 形チャネル生成に伴う表面安定化の問題などがあって電流増幅率の向上とも関係して作りにくい要素が多く、今後の技術開発に待つところが多い。

第4表 集積回路用 Si トランジスタ

パラメータ	コレクタ領域比抵抗 (n形)	
	0.5 Ωcm	0.1 Ωcm
B V _{CB0}	45	20
C V _{EB0}	8	6.5
B V _{CE0}	19	11
C _{Te} (正バイアス) PF	6	10
C _{Te} (1 V) PF	1.5	2.5
C _{Te} (5 V) PF	0.65	1.3
h _{FE} (10 mA)	50	50
V _{SC} Ω	75	15
V _{CE} (Sat) (5 mA) V	0.525	0.225
V _{BF} (10 mA) V	0.8	0.8
f _T (V, 5 mA) Mc/s	563	678

第5表 アイソレーション接合の容量 (逆バイアス 1 V の値)

コレクタ基板間容量	0.1 Ωcm	0.5 Ωcm	電圧変化
	エピタキシャルコレクタ PF/mil ²	エピタキシャルコレクタ PF/mil ²	
底面 (基板 10 Ωcm)	0.078	0.078	階段接合 C = $\frac{C_{rs}}{V^{1/2}}$
側面 (N _O =5×10 ²⁰)	0.17 (X _J =25 μ)	0.09 (X _J =12.5 μ)	傾斜接合 C = $\frac{C_{rs}}{V^{1/3}}$

第6表 種々の分離法によるノアゲートのスピード比較

	標準の Monolithic (ns)	E P I C Monolithic (ns)	ハイブリッド (ns)
Delay Propagation time (t _D)	6	5	4.6
Rise time (t _R)	8	4.7	4.5
Fall time (t _F)	9	5.2	5.2

Fan out=1, Fan in=3, C_s (test jig)=13PF

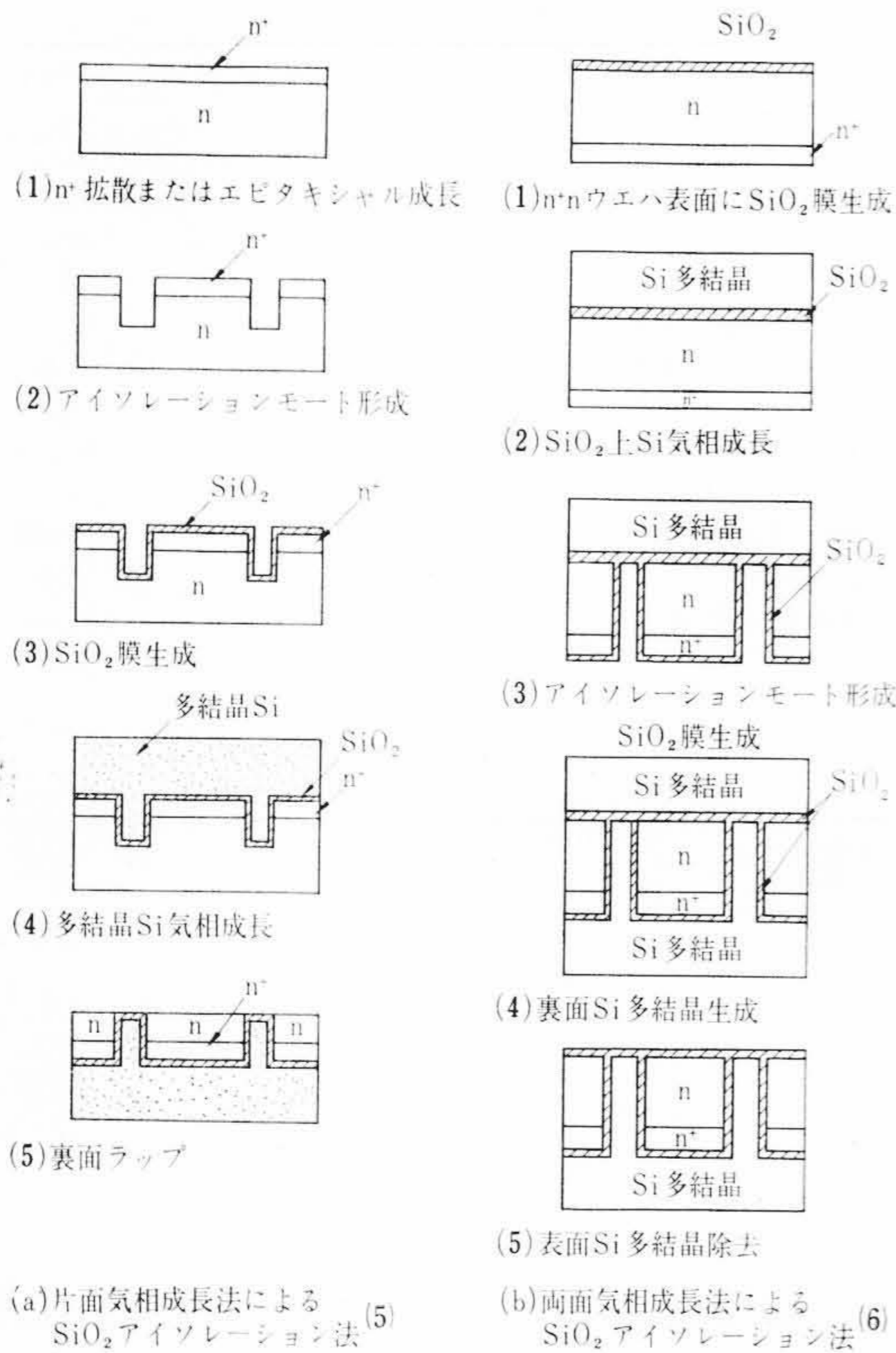
第1図に示す拡散接合による分離法は変形すればなお数種類あるが⁽⁴⁾、一般にこの方法では第5表に示すように接合の寄生容量があるため⁽⁴⁾、回路設計上はこれを加味して等価回路的検討も必要となり、高周波増幅高速論理回路などでは周波数上限や、信号伝達遅れ時間などで制約を受ける。

この方法の代わりに SiO₂ 層を用いる分離法には第3図 (a)⁽⁵⁾, (b)⁽⁶⁾ などの方法があり、第6表に示すようにノアゲート当たりのスイッチング速度が改良される⁽³⁾。一時超高速計算機回路は IBM 式のハイブリッド形が有利とみられたが、この方法の出現により半導体 IC もこの方面の可能性を生んだといえる。最近では配線で素子をささえエッチカットして素子間分離を行なう Beam-Lead 法なども現われ技術の進歩は応接にいとまがない。

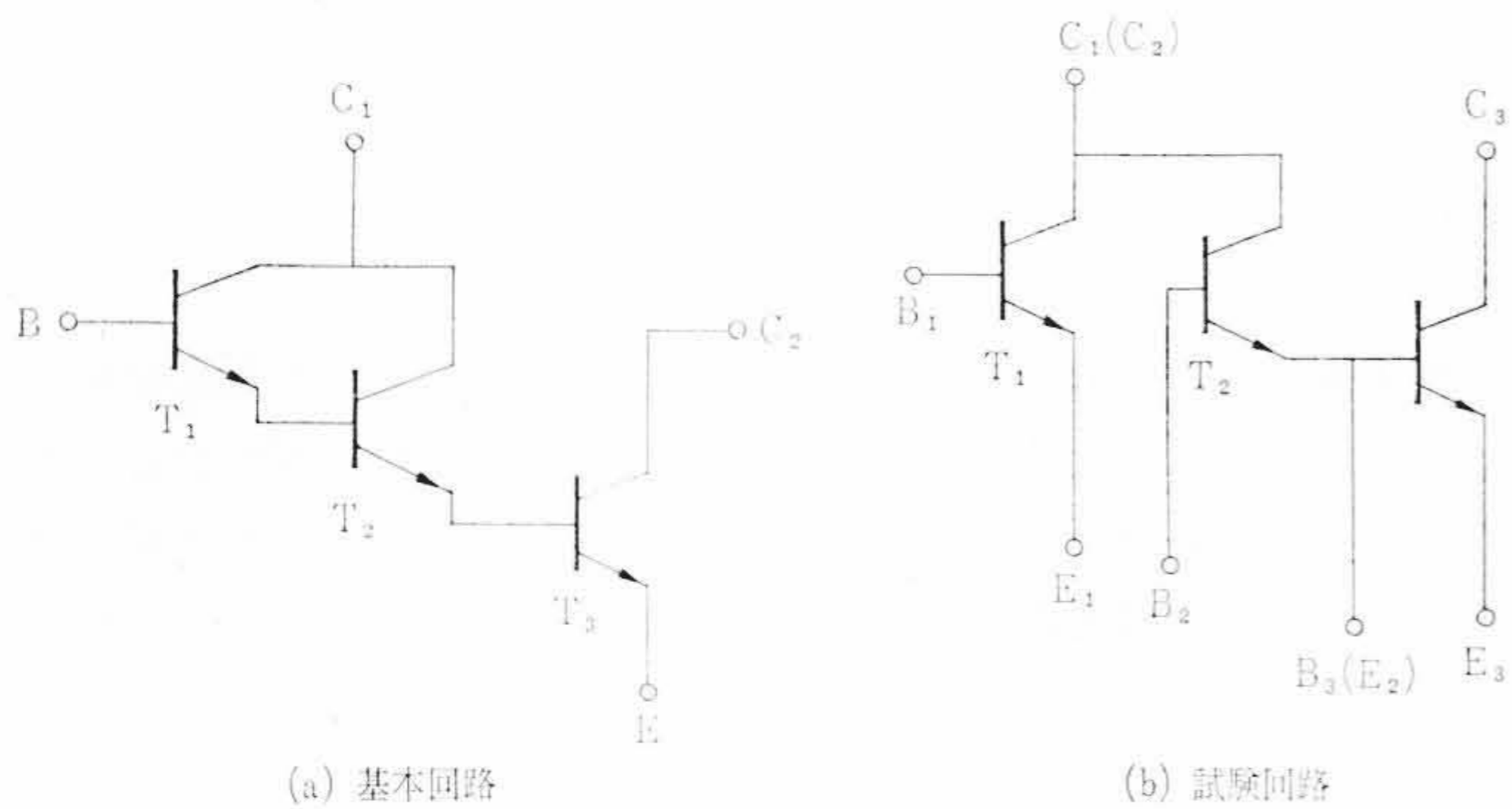
3. コレクタ分離形ダーリントン回路

半導体 IC は大別してデジタル回路とアナログ回路に分れるが前者については多くの報告があるので本節では後者の中の直線増幅回路の標準化を目的に開発したコレクタ分離形ダーリントン回路についての試作と特性について述べる。

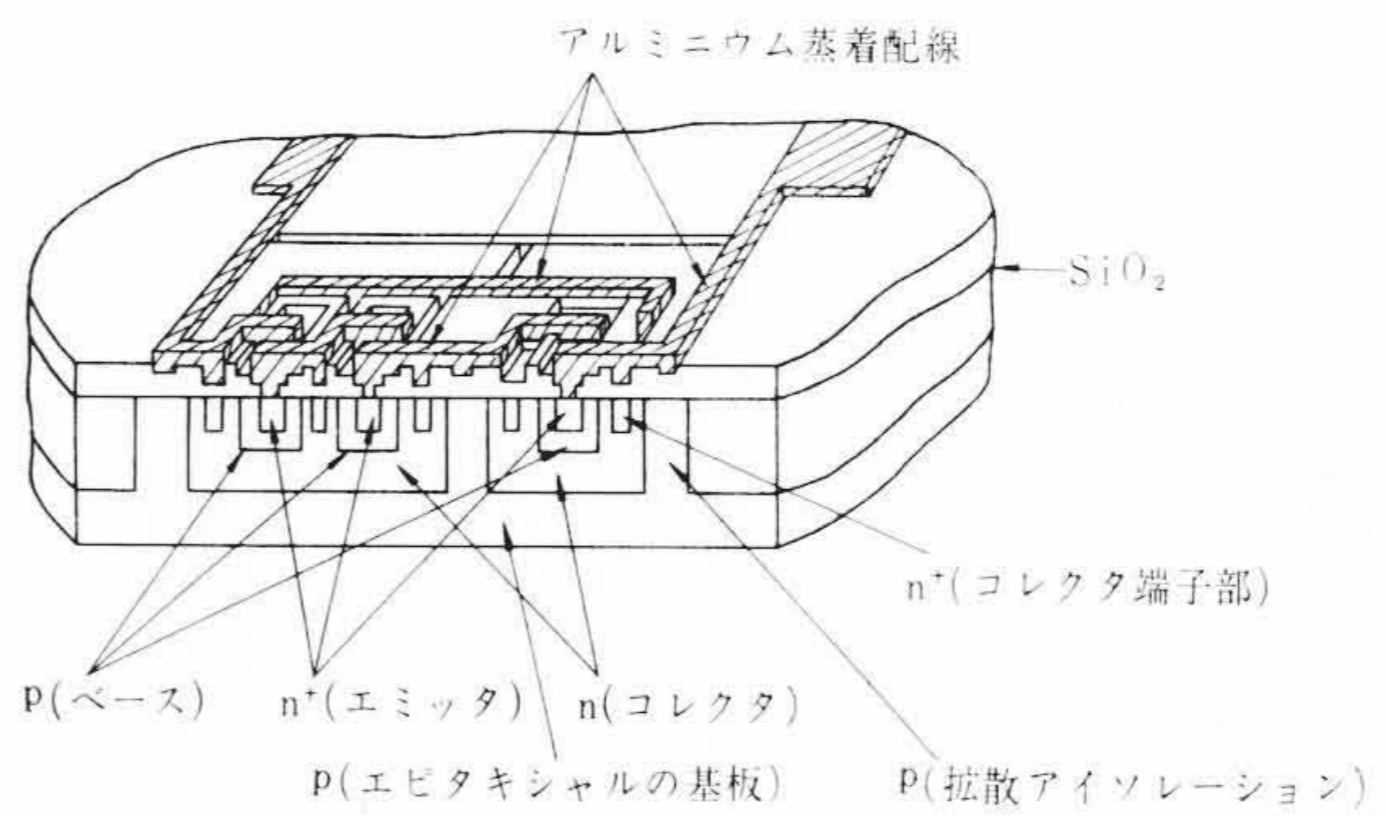
音声増幅回路としては従来ダーリントン増幅方式が用いられていたが、電源電圧利用効率が低いため高い電源電圧を必要とし、入力抵抗が高くその容量と結合して高周波電力利得を落す欠点を持ち、かつ初段トランジスタの I_{co} が増幅されるので、これを著しく小さくせねばならない不利もあった。これを改良する目的で第4図 (a) に示すトランジスタ 3 個からなるコレクタ分離形ダーリントン回路を試作した。同図 (b) は個々のトランジスタの性能も検査できるように特別に配線したものである。製造工程は第1図に示すものと同様であり、n on P エピタキシャルウエハを用い、コレクタ n⁺ 拡



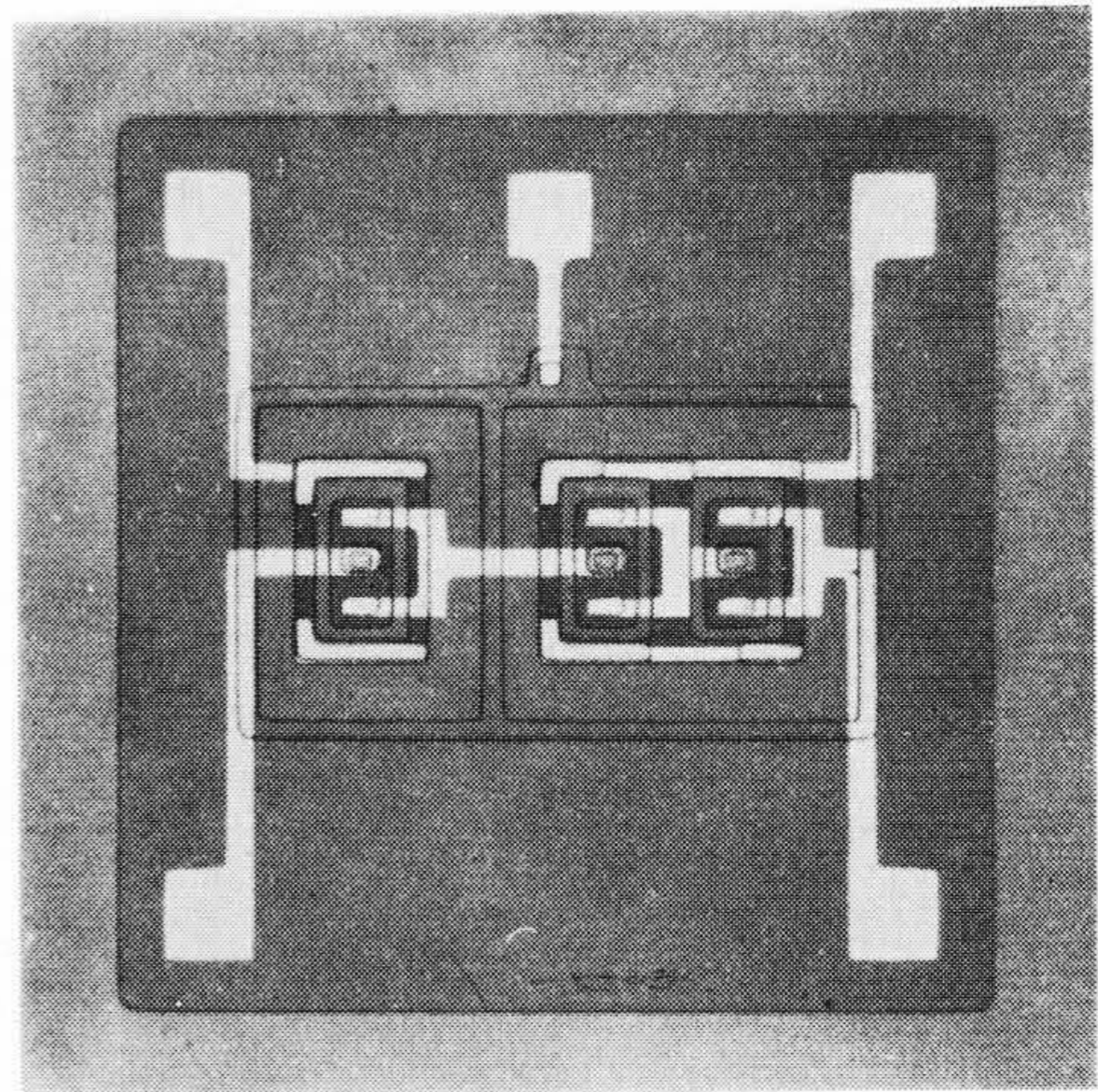
第3図 SiO₂膜を用いたアイソレーション法



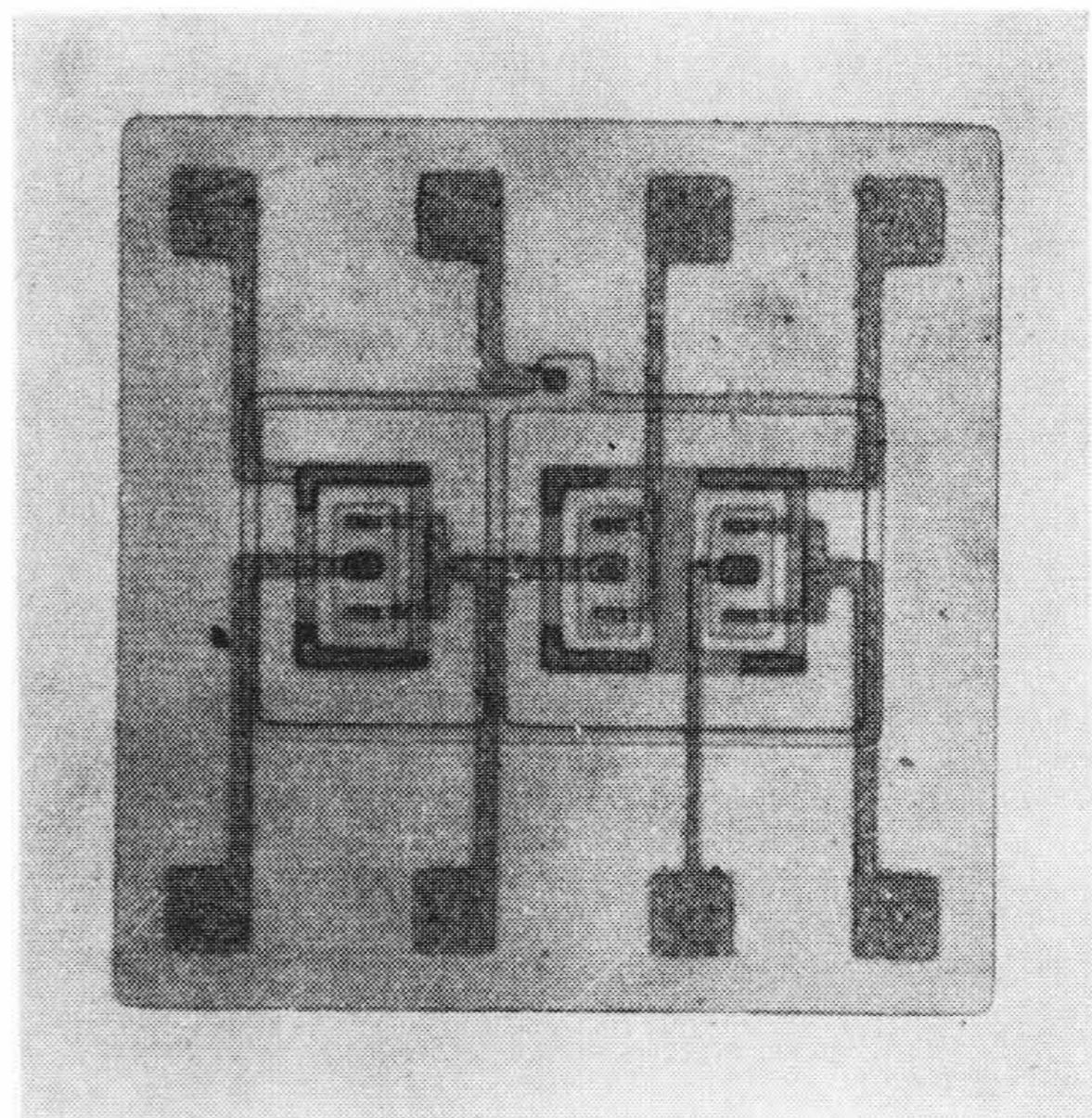
第4図 コレクタ分離形ダーリントン回路結線図



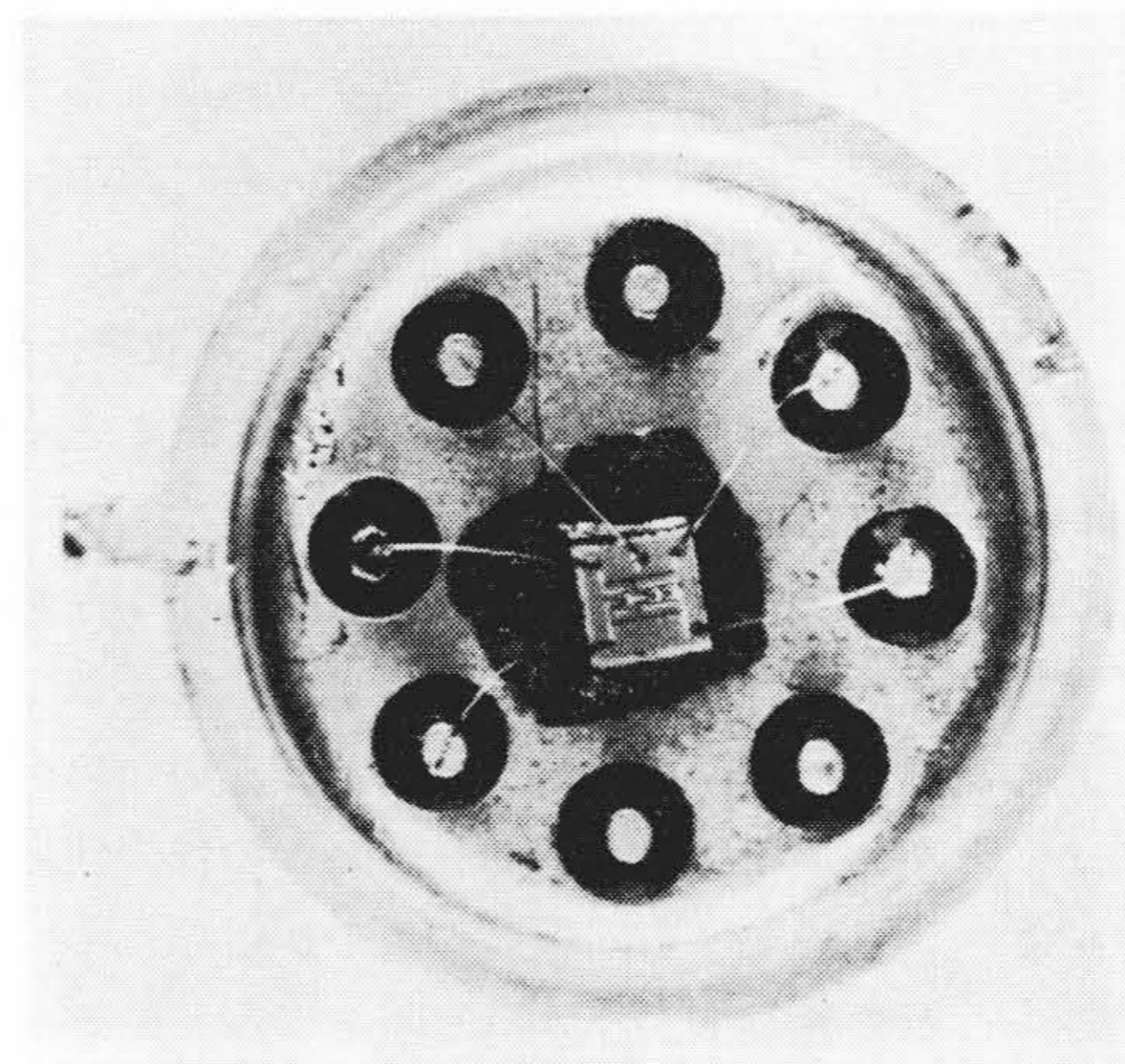
第5図 コレクタ分離形ダーリントン回路断面図



(a) 完成ペレット



(b) 各トランジスタ試験可能な回路



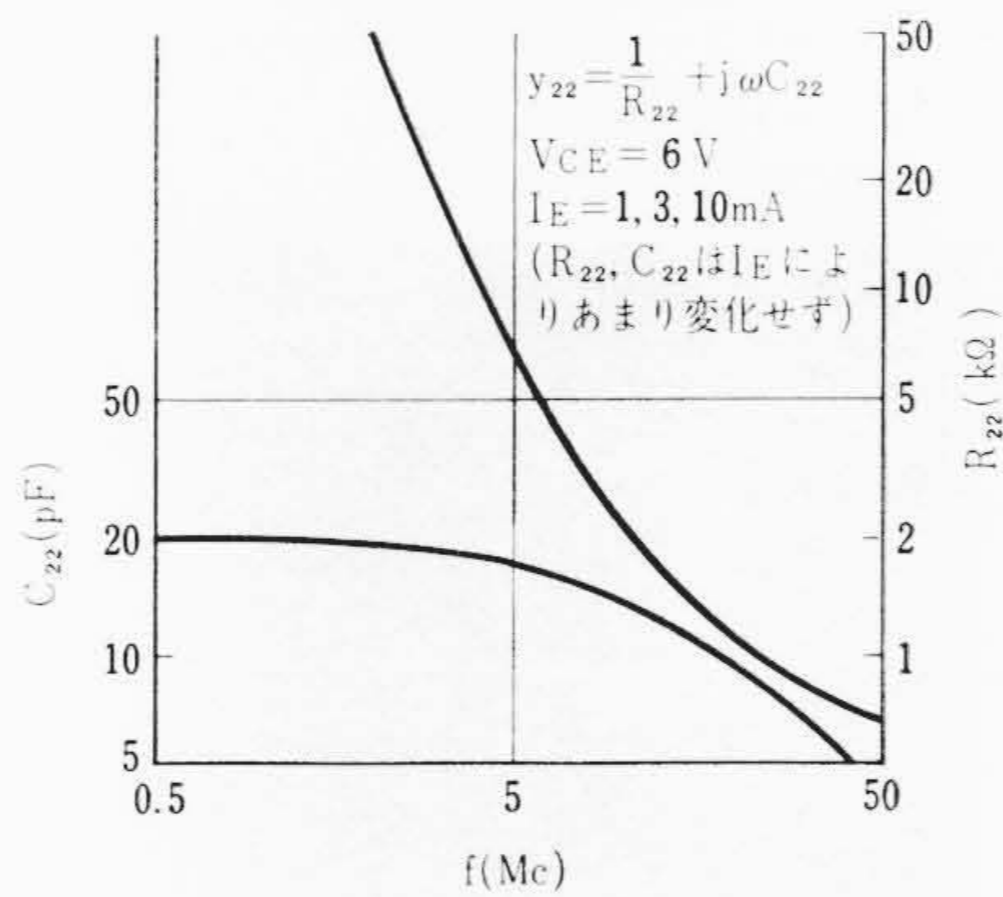
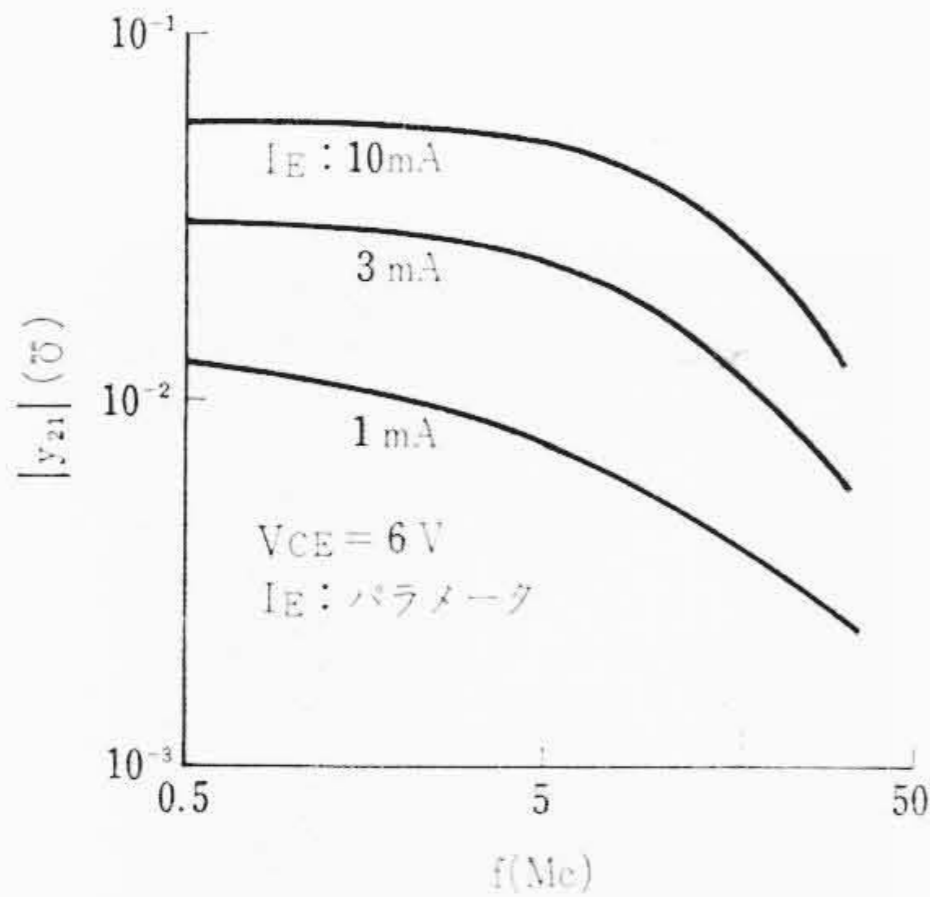
(c) ステムにマウントした素子

第6図 試作コレクタ分離形ダーリントン素子

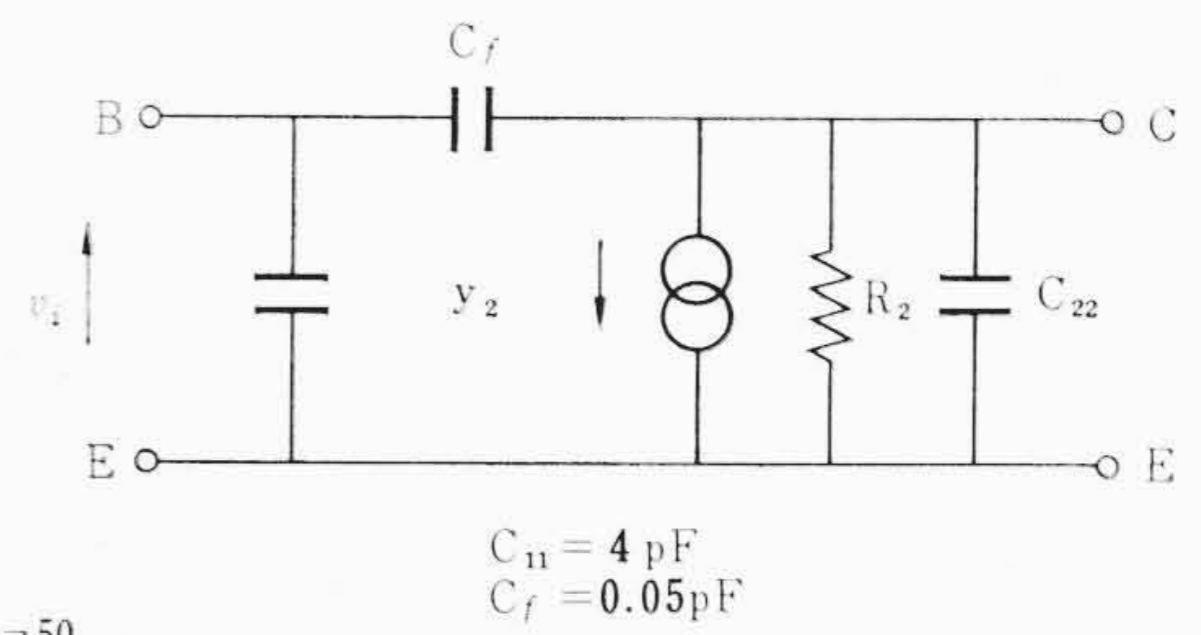
散を特に行なわなかった。P形基板は数Ωcm程度、n形エピタキシャル層は1Ωcm程度、厚さ20μくらいに成長させる。酸化膜は高温水蒸気中で約0.9μくらい成長させエピタキシャル層中にまずアイソレーションのp形(ボロン)拡散を行なう。これは20μ程度のエピタキシャル層を貫通させるため、高濃度拡散の技術が重要になる。こうして一回路当たりn形アイランド2個を作り、一方には入力側トランジスタ2個を、他方に出力側トランジスタ1個を選択拡散法で形式させた。ベースはB(ボロン)のBox拡散法で2.5μ入れ、エミッタ拡散はPOCl₃による気相拡散法を適用した。この際コレクタ電極取出し用のn⁺拡散も行なう。蒸着配線工程はまず500℃に加熱した試料に50~100°A程度のAgを予備蒸着し、つづいて250℃にてAlを5000Å程度蒸着して結晶粒度を細かくし、接着性も良くさせた。その後、所望の配線パターンをホトレジスト膜で作成し、KOH中で電解エッチして露出した部分のAlを除去し、そのあとHNO₃中で超音波洗浄してAgを除去し配線パターンを完成させる。完成した素子の断面は第5図に示すとおりである。第6図(a),(b)および(c)は素子の基本回路、試験回路および組立状態を示す。ステムにはTo-5形を用いた。第7表は試作変形ダーリントン素子の主要特性を示したものである。

第7表 試作コレクタ分離形ダーリントン回路の主要特性

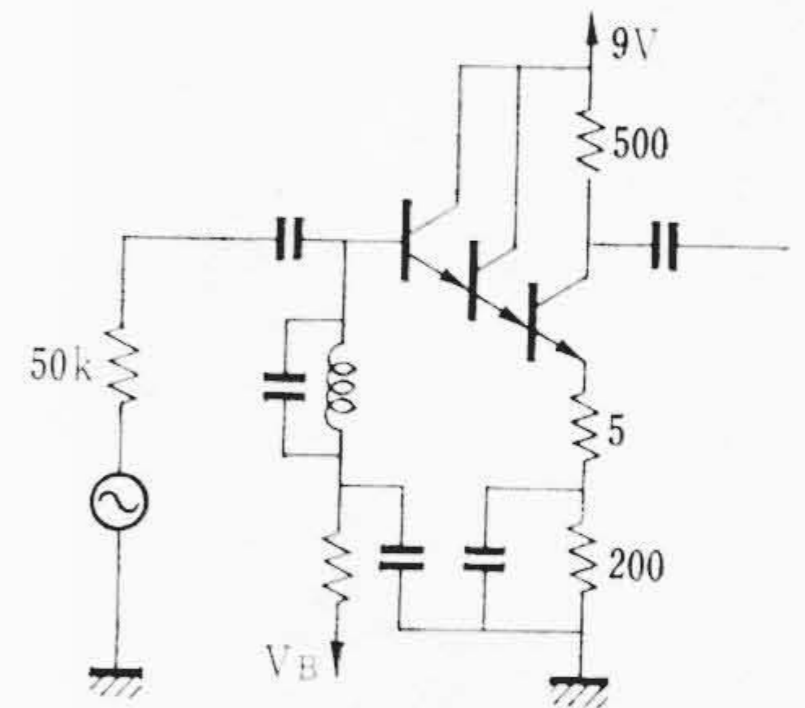
測定項目	I_{CEO} $V_C=12V$	β^0 $I_C=5mA$ $V_C=6V$	V_{BE} $I_C=5mA$ $V_C=6V$	R_{in} $I_C=5mA$ $V_C=6V$
測定値	$<0.1\mu A$	2.4×10^3	2.10 V	960 k Ω



第8図 $|y_{21}|$, R_{22} , C_{22} の周波数, 電流依存性



第7図 コレクタ分離形ダーリントン素子の等価回路



第9図 455 kc 増幅回路

この素子は前述したように内部帰還が著しく小さいので高周波特性も良好であり、直流から数十 Mc までの広い線形増幅回路に適したもので増幅素子の標準化、増幅段数の減少、回路構成の簡易化、小形化、および低価格が期待されるものである。

試作素子の高周波等価回路を第7図に示しておく。この素子の等価回路の y_{21} , R_{22} および C_{22} の周波数ならびに電流依存性は第8図(a), (b)に示すとおりである。

第9図は 455 kc の IF 増幅回路である。電力利得 50 dB で中心周波数変動 ± 1 kc, $I_C=10$ mA で $-20\sim 50^\circ C$ の利得変動 1 dB 以下で安定度は良好である。またリアクタンストランジスタとして数千倍の容量増倍ができる。なお本回路の応用面の詳細な解析については別に報告する予定である⁽²⁾。

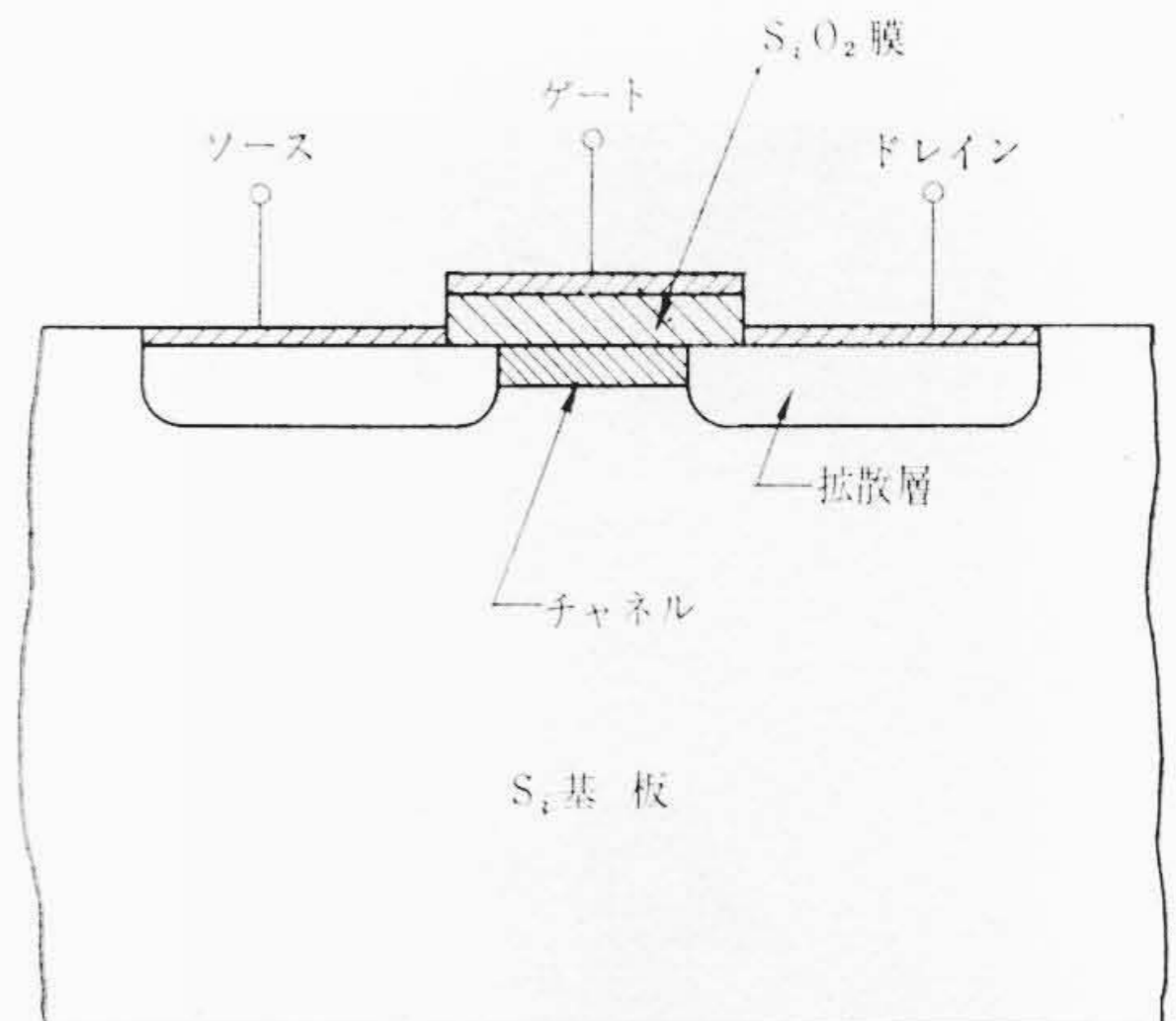
4. MOS 形集積回路

MOS 形 IC は半導体 IC に含まれ、特異な特長をもっている。MOS 形 FET は集積回路用の素子として最近、非常に期待されているのは下記の特徴を有しているからである。

- (1) MOS 形 FET は構造上 (第10図), ドレイン, ソースおよびゲートが基盤からアイソレートされているので、半導体 IC のように各素子を分離するためのアイソレーション層を設ける必要がない。
- (2) 段間が容易に直結できる。
- (3) MOS 形 FET だけで主要な論理回路の集積化が可能である。

第11図は集積回路の一例として、4入力論理ゲートおよび R-S フリップフロップ回路を示したものである。製造工程はドレイン, ソース生成と同時に負荷抵抗を拡散で作っていることを除けば単体と同様で各回路は蒸着パタンのみを変える、いわゆるマスタパタン方式によって作ることができ、きわめて量産的である。

MOS 形 FET のスイッチング特性は多数キャリア素子の特長として、スイッチング時の電荷蓄積効果、電流 hogging などの現象は生じない。しかしオン抵抗が数百 $\Omega \sim 1$ k Ω と高いことが欠点である。すなわち負荷抵抗としては 10 k Ω 以上が要求され、スイッチング時間はこの負荷抵抗と等価ドレイン容量 (ドレイン容量+次段ケード容量) の時定数によって決まるターンオフ時間によって制限される。第12図はノアゲート回路のスイッチング特性を示す。

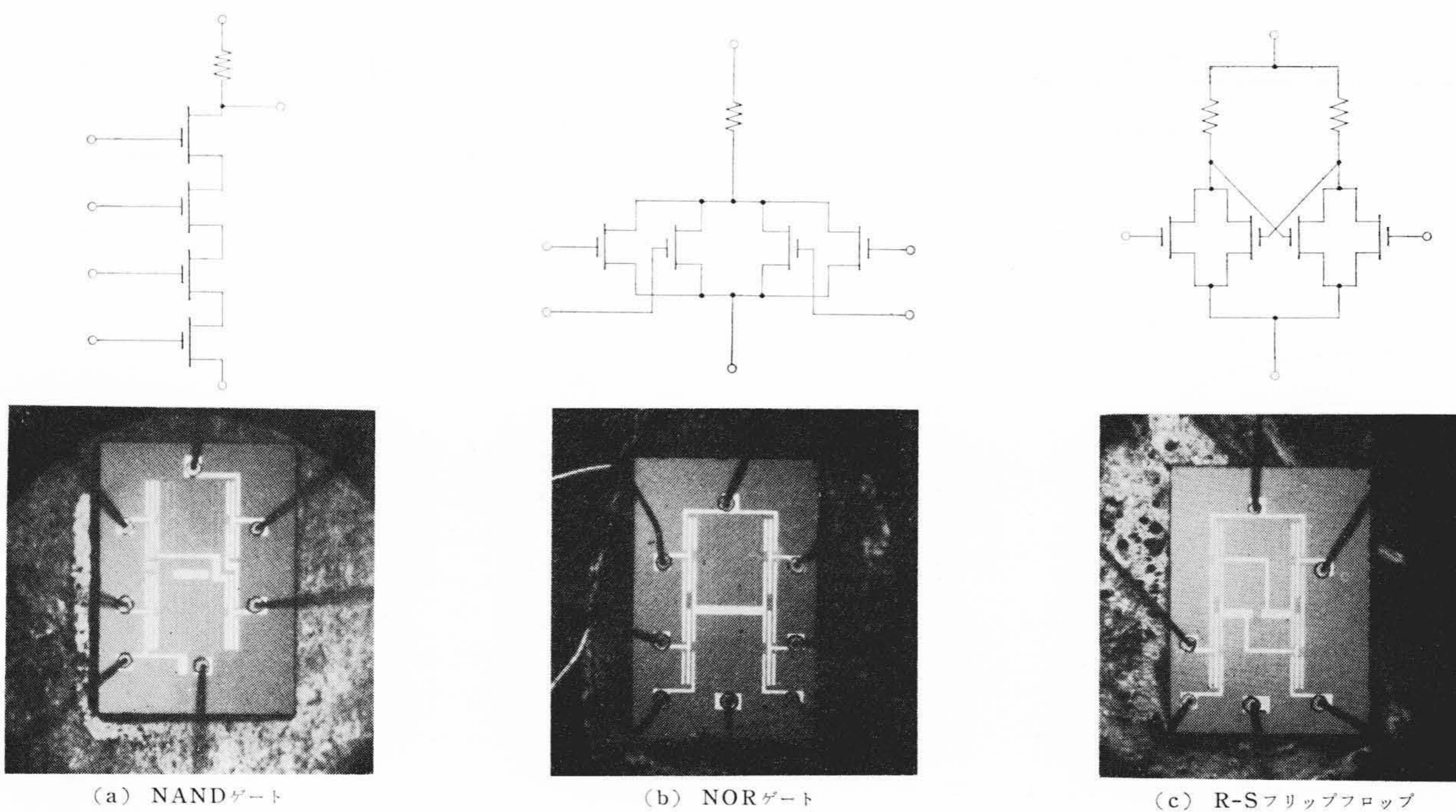


第10図 MOS 形 FET の構造図

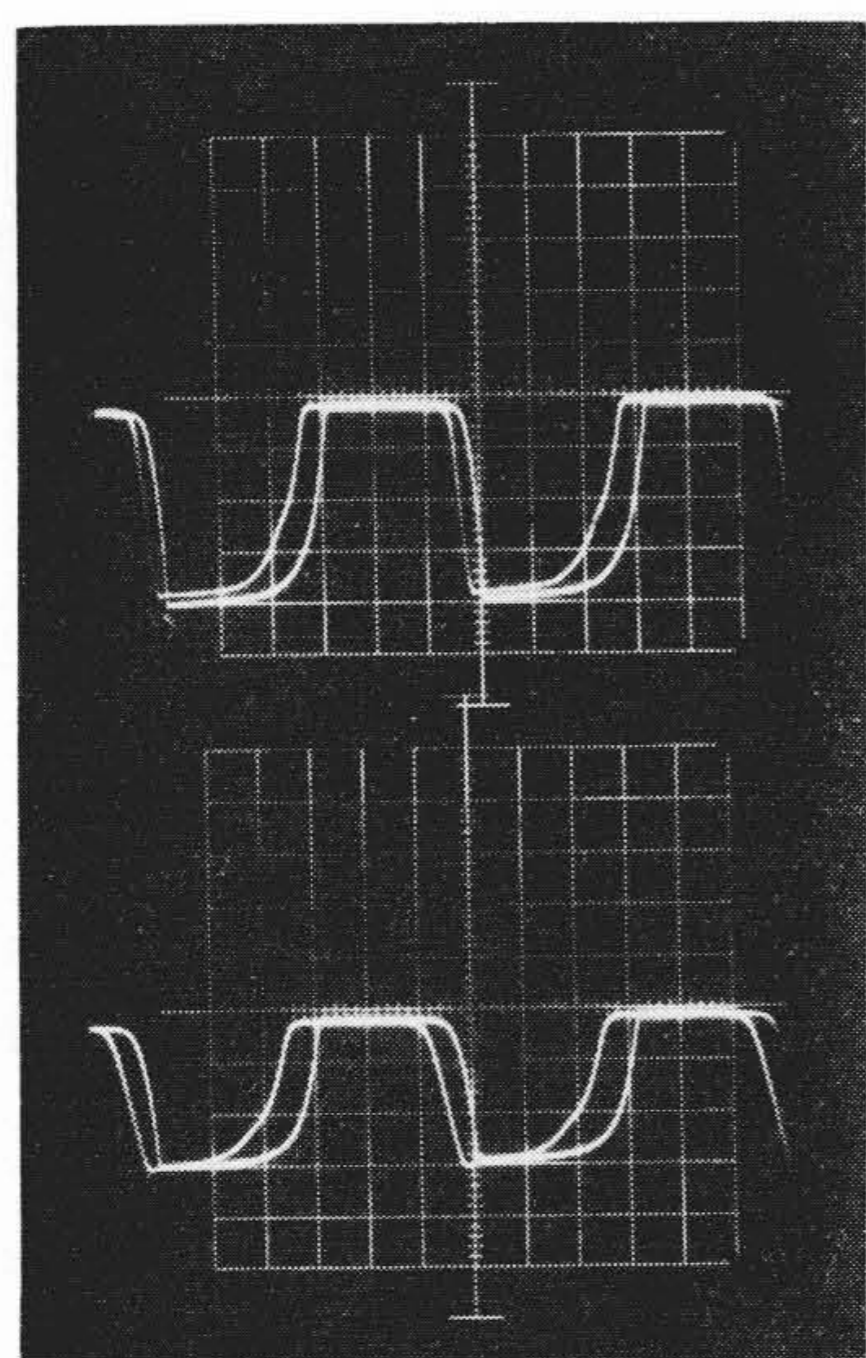
さらに注意すべきことは 10 k Ω 以上の抵抗を拡散で作ると、MOS 形 FET よりも大きくなり、かつ特性の制御がむずかしいことである。これを避けるために第13図に示すように、負荷抵抗の代わりにチャンネル幅を 1/10~1/100 に縮小した MOS 形 FET をダイオード接続にして用いる。この場合オフ時に threshold 電圧 V_T に相当するオフセット電圧が生ずる欠点もあるが、MOS 形 FET だけで論理回路が構成でき容易に多数の素子をペレットに組みこむことができるという大きな利点がある。

最近アメリカで 100~200 個の MOS 形 FET を TO-5 に組みこんだ 20~40 ビットシフトレジスタの製品が発表されているが、これはこの素子の特長を生かした集積回路といえよう。

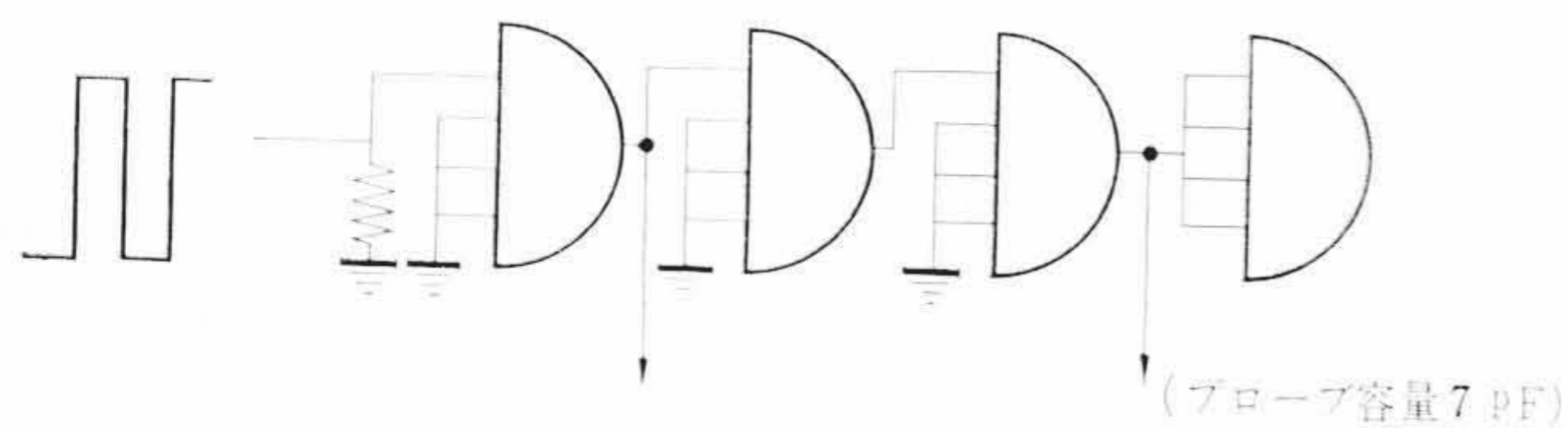
さらに注目されているのは N チャネル, P チャネル両形を用いた相補形スイッチ回路で、第14図(a)に示したのがそれである。この回路は $V_G=0$ では P 形がオン, N 形がオフであり, $V_G=V$ では P 形がオフ, N 形がオンとなり両切りスイッチと等価でかつ次段の入力 (ゲート) はインピーダンスが高く直流的には開放とみなせる。それゆえ、常時はほとんど電力を消費せず、出力容量を充、放電する際の過渡電力だけしか要しない。実測例は第15図のように $V=10V$, $f_c=1$ Mc で Pd は約 0.4 mW である。この回路のスイッチング特性は N, P いずれかのターンオフ時間で決まるので、前記した単モードの場合に比べて約 1 けた改善できる。第14図(b)はその一例で 2



第11図 MOS形トランジスタを用いた集積回路



(a) NORゲートスイッチング特性 ($2 \mu\text{S/dW}$, 5V/dW)



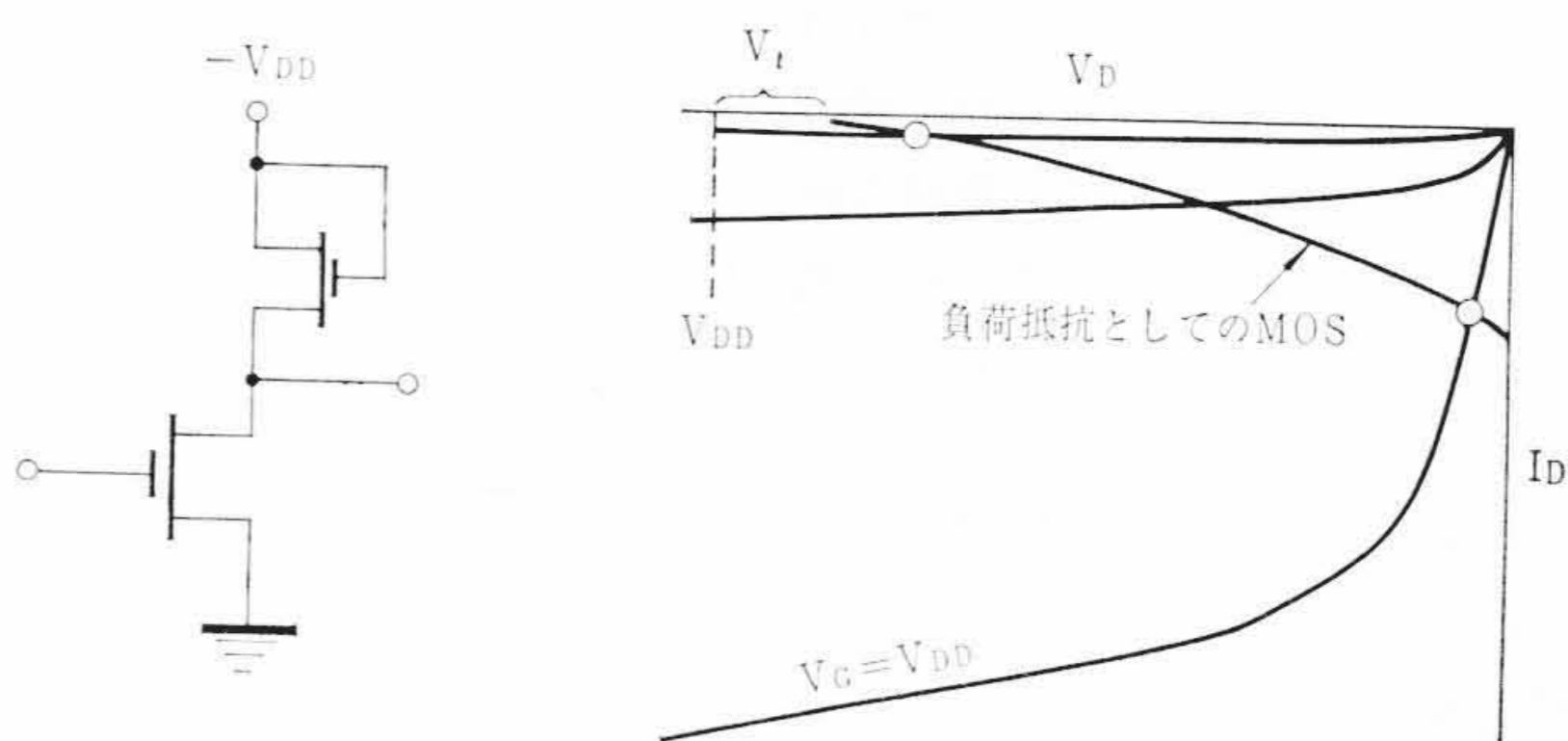
(b) 測定回路

第12図 NORゲート回路

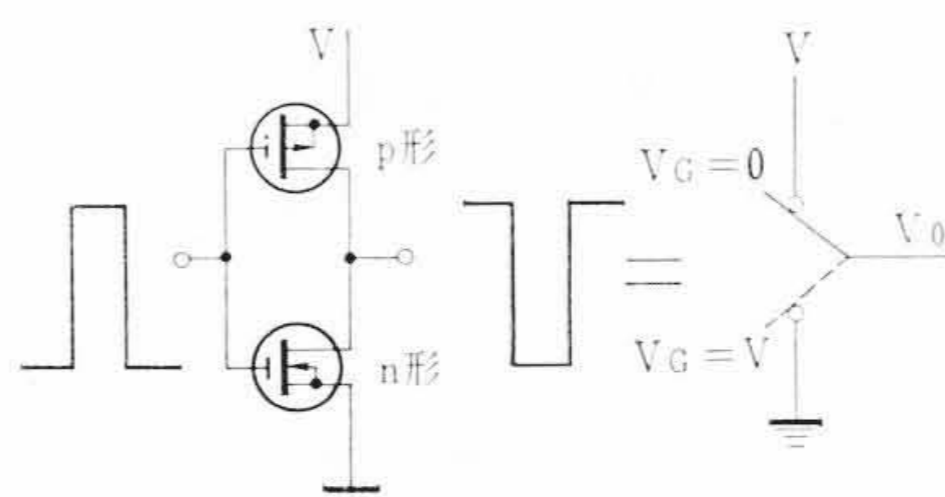
段あたりの遅れを示したもので、1段あたりの伝達時間は約15 nsである。第16図は3入力ナンドゲート回路で入力A, B, CがすべてVのときのみ出力は0で、その他の組み合わせの入力のときはすべて出力はVである。この回路を用いた集積回路は本質的に低消費電力動作であるので、ガラスマスクやホトレジスト工程などの精度が許す範囲で小形、大密度実装が可能である。

5. 半導体 IC の問題点と将来の課題

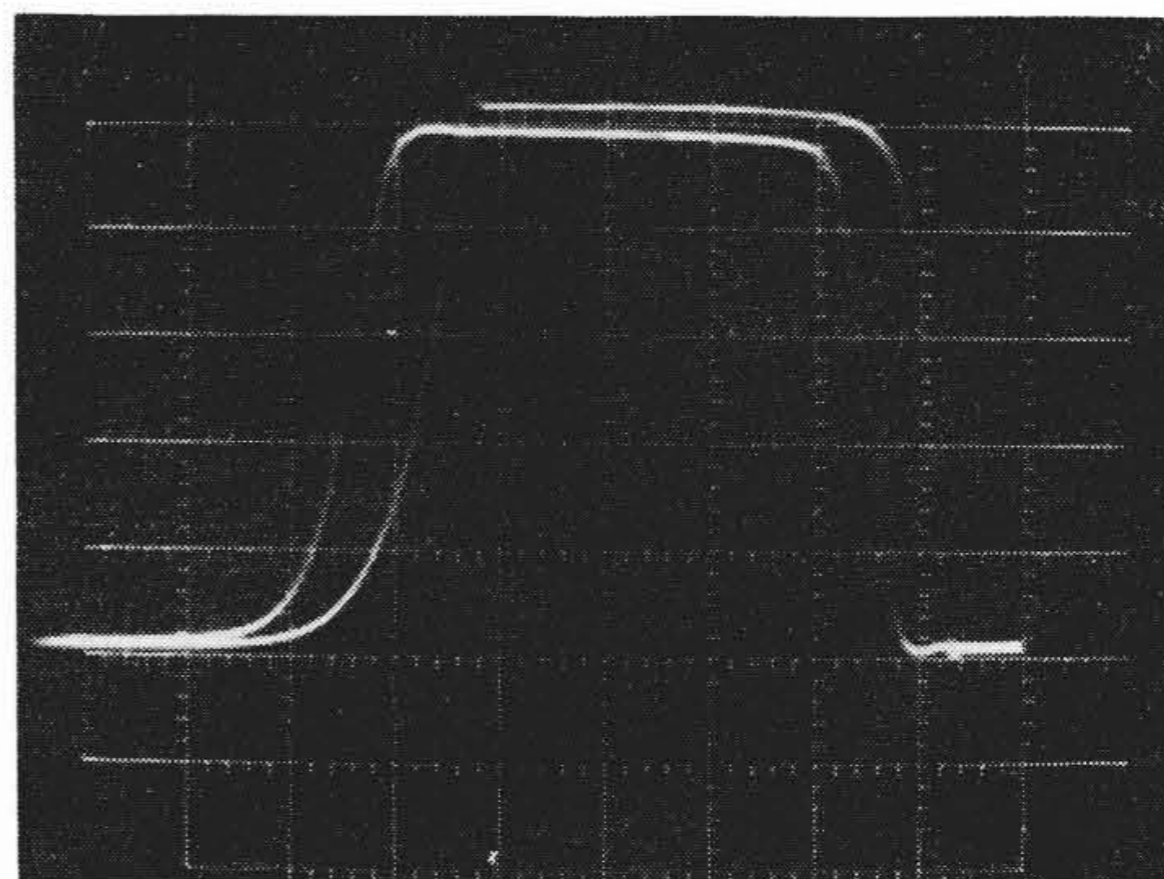
現在半導体 IC 開発上の問題点を大別すると、既存のエピタキシャルプレーナ技術の改善と、これに代わる新技術の台頭とに分けて考



第13図 負荷抵抗として MOS 形 FET を用いる回路



(a) MOS 相補形スイッチおよび等価回路



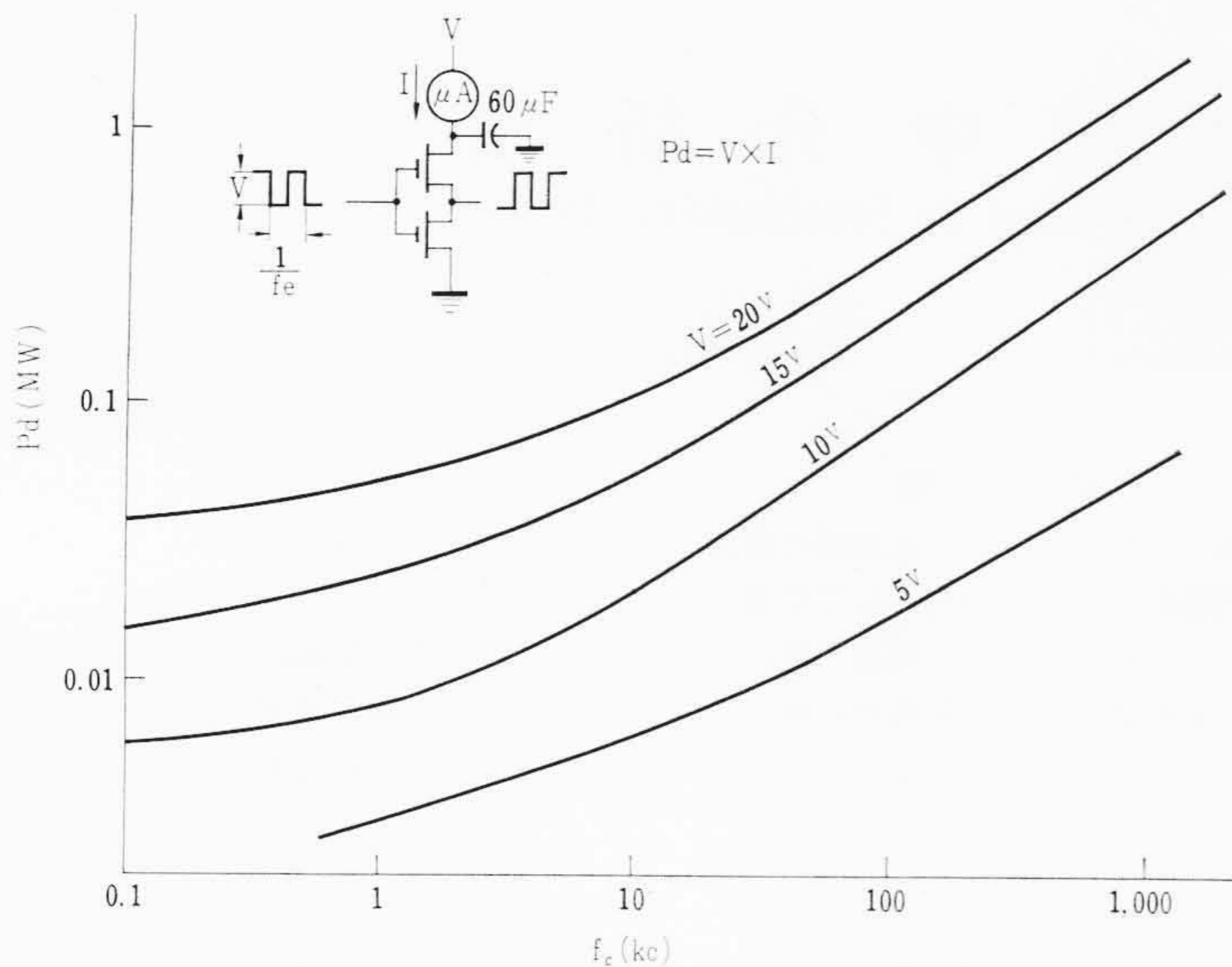
(b) MOS 相補形スイッチング特性 ($50 \mu\text{S/dW}$, 2V/dW)

第14図 MOS 相補形スイッチ回路

えられる。

5.1 既存技術の改良

現在用いる結晶は第3図に示す SiO_2 によるアイソレーション以外はすべてエピタキシャル結晶を用いることになる。このように気

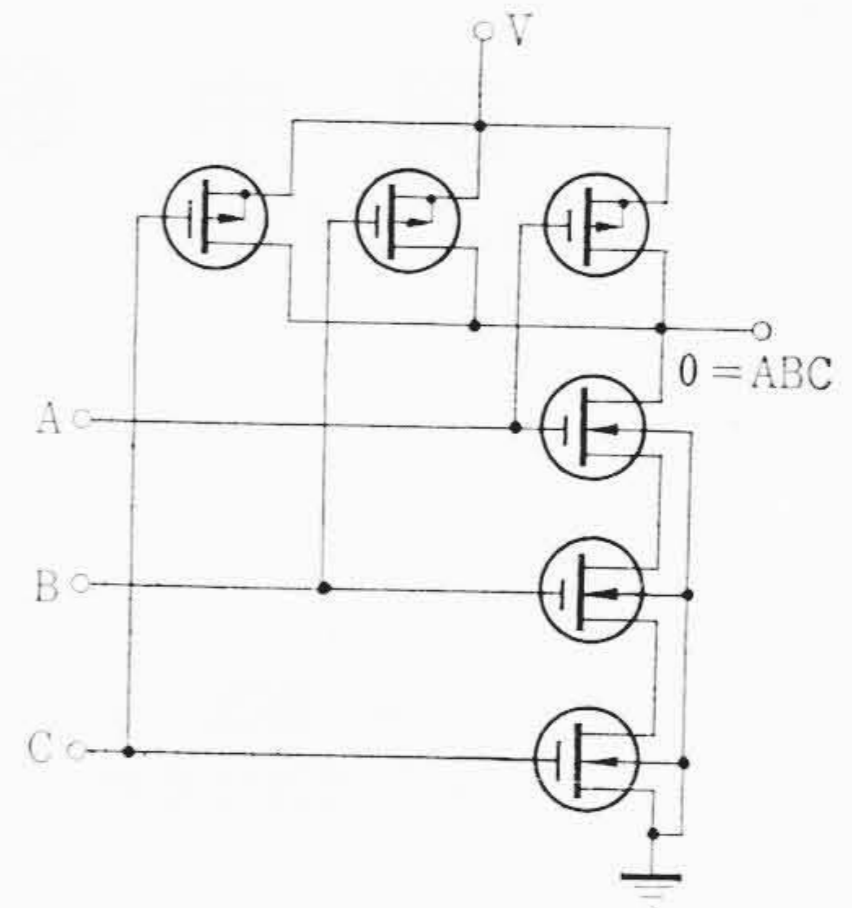


第 15 図 繰り返し周波数 (f_c) と消費電力 (P_d) との関係

相から成長した結晶では従来の融液成長結晶に比べ一般に積層欠陥その他の欠陥が多く不純物拡散（特に拡散の速い Au など）の再現性に問題があり、また拡散 pn 接合の耐圧の sharpness などにも問題が残っている。これにはエピタキシャル技術のいっそうの改良が望まれる。またホットエッチングの方法に対しても材料の塗布、乾燥時のふん囲気、除じん、脱胞処理、レジスト膜の耐薬品性、基板との接着など化学的取扱面でも改良の必要な面が多い。また不純物拡散技術についても、最近気相から行なう B, P などの拡散技術の検討と、表面安定化に関係したガラス膜の形成とも関連して大きな問題を残している。この拡散処理中に容器から混入するアルカリ金属や重金属なども寿命や性能劣化の原因とも考えられている。MOS 形 FET, pnp トランジスタなどを含む半導体 IC ではこれらが特に問題となろう。

5.2 新技術開発の動向

アイソレーション技術については前述の第 3 図に関係した新しい方法の工業化と、Beam-Lead 的な方法などがあって多くの試みがなされているが、特にサファイヤ上に Si を成長させて分離する方法が注目されている。またこれとは逆に金属上 (Mo, W ほか) への半導体膜の成長も重要である。不純物拡散技術にも、ホットレジスト膜の加工を必要としない SiO₂ 膜上からの ion implantation (イオン押込) 法による部分拡散技術も開発されつつある。また将来超小形化、超高速化、低価格をねらう場合は光学的分解能を越える微細加工の必要が生ずる。これには電子線によるホットレジスト膜の加工



第 16 図 相補形 NAND 回路

も考えられよう。

また本稿では述べなかったが素子の配線法についても将来は Bonded Wire のない IC 素子の組立、実装方式として IBM 社の開発した Solid Logic Technology を拡張した方法も台頭しはじめており⁽⁸⁾、この方法が工業化されると IC の方式は monolithic 方式、チップ方式、ハイブリッド方式のいずれもが高信頼、低価格化されるであろう。また IC の大きな用途としてデジタル分野が考えられていたが、アナログ分野にも大きな市場が実現する日も近いのではないかと考えられる。

6. 結 言

集積回路の展望と試作品の概要についてのべたが、アメリカでは小形で高信頼度の回路素子として、すでに市場の寵児として活躍している。わが国でもデジタル回路の分野やアナログ回路の分野の急激な需要が真近かに迫っているので、多くの技術力を結集して集積回路の製造技術の確立と新技術の開発を促進している。

参 考 文 献

- (1) "Monolithic Integrated Circuits" I. E. E. E., Spectrum (1964) June p. 83
- (2) Trygve A Iverdal: Elec. Design 12 No. 8 (1964) June p. 62
- (3) Integrated Circuits: I. E. E. E., Spectrum (1964) June p. 62
- (4) 近藤, 山本: 電子科学 15 (1965) No. 5 p. 50
- (5) Elec, Design: 12 (1964) 80
- (6) Proc, I. E. E. E., 52 (1964) 1655
- (7) 三和, 高木, 田内: "Hitachi Review" 投稿中 (Vol. 15-2 掲載予定)
- (8) George L, Schnalile, Andrew F: Mckelvey A New Technique for Preparing Oxide-Isolated Silicon Wafers for Microcircuits Summary of a Paper Prepared for Presentation at the 1964 Electron Device Meeting October 2 P, 1964, Electronic News, Monday, Feb. 1 (1965) p. 4